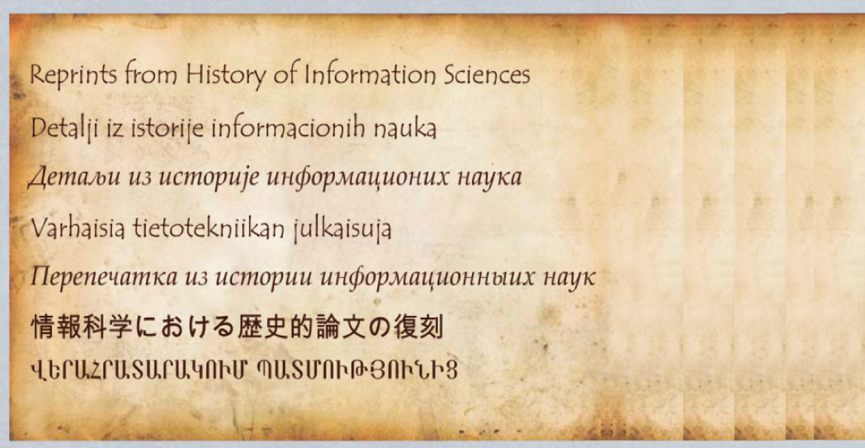
TAMPEREEN TEKNILLINEN YLIOPISTO
TAMPERE UNIVERSITY OF TECHNOLOGY
Tampere International Center for Signal Processing

Reprints from the Early Days of Information Sciences

Contributions of Yasuo Komamiya to Switching Theory

Tsutomu Sasao, Radomir S. Stanković & Jaakko Astola



Tampere 2015

Tampere International Center for Signal Processing, TICSP series # 65

Tsutomu Sasao, Radomir S. Stanković & Jaakko Astola

Contributions of Yasuo Komamiya to Switching Theory

Tampere International Center for Signal Processing
Tampere 2015

ISBN 978-952-15-3453-9
ISSN 1456-2774

Reprints from the Early Days of Information Sciences

TICSP Series # 65

Contributions of Yasuo Komamiya

to

Switching Theory

2015

Editors' Notice

Copyright permission for the reprinted papers are provided by the Editors of the corresponding journals.

This publication has been written and edited by
Tsutomu Sasao, Radomir S. Stanković and Jaakko T. Astola.

Contents

Reprints from The Early Days of Information Sciences

Historical studies about a scientific discipline is a sign of its maturity. When properly understood and carried out, this kind of studies are more than enumeration of facts or giving credit to particular important researchers. It is more discovering and tracing the way of thinking that have lead to important discoveries. In this respect, it is interesting and also important to recall publications where for the first time some important concepts, theories, methods, and algorithms have been introduced.

In every branch of science there are some important results published in national or local journals or other publications that have not been widely distributed for different reasons, due to which they often remain unknown to the research community and therefore are rarely referenced. Sometimes the importance of such discoveries is overlooked or underestimated even by the inventors themselves. Such inventions are often re-discovered long after, but their initial sources may remain almost forgotten, and mostly remain sporadically recalled and mentioned within quite limited circles of experts. This is especially often the case with publications in other languages than the English language which is presently the most common language in the scientific world.

This series of publications is aimed at reprinting and, when appropriate, also translating some less known or almost forgotten, but important publications, where some concepts, methods or algorithms have been discussed for the first time or introduced independently on other related works.

Another aim of Reprints is to collect and present at the same place publications on certain particular subject of an important scholar whose scientific work is signified by contributions to different areas of sciences.

R.S. Stanković, J.T. Astola

Acknowledgments

Thanks are due to Professor Yukihiro Iguchi of Meiji University, Kanagawa, for providing certain publications of Prof. Yasuo Komamiya that are reprinted in this issue.

The Editors are grateful to Mrs. Marju Taavetti, the Librarian of the Library of Tempere University of Technology, and Mrs. Pirkko Ruotsalainen, the Development Manager of the Department of Signal Processing, Tampere University of Technology, for the help in collecting the related literature.

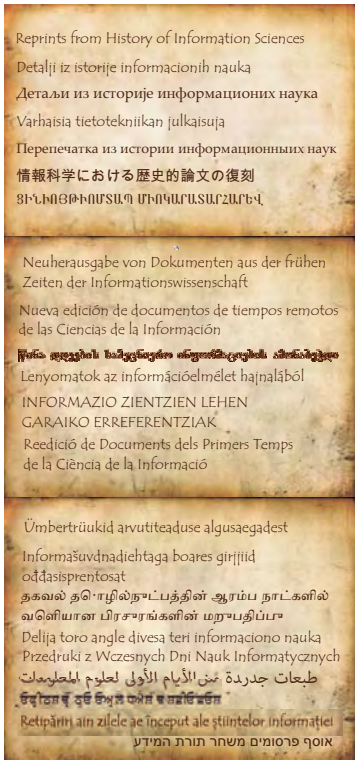
Contributions of Yasuo Komamiya to Switching Theory

Abstract

The present issue of Reprints From the Early Days of Information Sciences aims to highlight contributions of Yasuo Komamiya to Switching theory, with particular emphasis on his work related to the design of computing networks.

Notice

This book contains reprints of several pages from publications in Japanese by Yasuo Komamiya and Mochinori Goto, and their associates. We kindly ask for these reprints to not be considered simply as graphic illustrations, but to be interpreted as a part of the presentation in this book, since paying attention to words in English may bring interesting information about the point of view of Prof. Komamiya to the subject. This especially applies to the references provided in this textbook of Y. Komamiya, pages from the textbook by his Professor M. Goto, and reprinted pages from other publications.



English, Serbian Latin, Serbian Cyrillic, Finnish, Russian, Japanese, Armenian, German, Castilian, Georgian, Hungarian, Bask, Spanish, Estonian, Sami, Tamil (two lines), Balkan Romani, Polish, Arabic, Punjabi, Romanian, Hebrew.

Yasuo Komamiya

Biographical Data of Yasuo Komamiya

Yasuo Komamiya studied electrical engineering at The School of Engineering of Tokyo Imperial University, Tokyo, Japan, where he graduated in September 1944. The main scientific advisor of Komamiya was Professor Mochinori Goto, who have had a versatile influence to the general education of his student. For example, many years after, Komamiya served as a president of the Metaphysical Society of Japan, as a successor of Prof. Goto at this position in the Society.

While studying at the Tokyo Imperial University, Komamiya implemented a method for solving logic functional equations as a pat of a procedure for the design of various computing networks. These considerations resulted in a Theory of Computing Networks the central part of which consists in a generalized linear equation whose various solutions under selected and specified coefficients lead to different computing machines. In this way, the design of computing machines, primarily an engineering task, is converted into a subject entirely within the scope of mathematics. Thanks to this work, Komamiya received a Degree of PhD in Engineering from the Tokyo Imperial University. The theory of computing networks was presented and discussed at some meetings and conferences and written in few reports and articles. A report by Komamiya on that subject written in 1959 in English for the Electrotechnical Laboratory of the Ministry of Communication of Japan is reprinted below. References to this work by Komamiya are given in [14], and discussions of it can be found in [15] and [29]. The work of

Komamiya was referred by some other authors, as for example, [7].

In November 1944, Komamiya joined as the engineering scientist the Basic Research Division of the Electrotechnical Laboratory of the Ministry of Communication of Japan, whose Director was Professor Goto. The method for the design computing networks was implemented in practice within a cooperation with Ryouta Suekane as a small-scale relay computer called by Goto ETL Mark 1. This was the first automatic not stored-program computer in Japan. Based on this experience, Komamiya proposed another more sophisticated computer of the same kind called ETL Mark 2. The computer was realized in a nice cooperation with ETL team working under the guidance of Goto and consisting of Ryouta Suekane, Macahide Takagi, Shigeru Kuwabara, and others. The computer was completed in November 1955, and his construction, functionality, and performances were described in the book *Theory and Structure of the Automatic Relay Computer E. T. L. Mark 2*. We reprinted several pages of this book.

From January 1957, he spent a year at the Computation Laboratory, Harvard University, and from September 1962, he stayed at the Digital Computation Laboratory, University of Illinois.

Until 1980, Komamiya was with ETL serving at different positions, the Head of Applied Mathematics, Department of ETL Physics Division, the Division Director of Control Systems Research, the Director of Electronic Component Research, with the term Components being later replaced by Devices. Then, Komamiya become a Professor of Kyushu University in Fukuoka, teaching *Information Systems* at the Graduate School of Integrated Science and Technology of this University. After retirement in 1986, Komamiya was appointed as a Professor of Meiji University in Kanagawa where he worked until 1993.

Among the students and associates of Yasuo Komamiya at the Mieji University, we would like to mention Prof. Masao Mukaidono and Prof. Yukihiro Iguchi.

At *Proc. 10th Int. Workshop on Post-Binary ULSI Systems*, Warsaw, Poland, May 21, 2001, it was organized a special session (Session 3, Chair T. Sasao) to honor the pioneering results of Yasuo Komamiya. Main speakers were Radomir S. Stanković and Tsutomu Sasao, who presented a discussion of the generalization of the Komamiya equation for adders to multiple-valued case

Stanković, R.S., Sasao, T., "Komamiya equation for multiple-valued adders", Invited talk *Proc. 10th Int. Workshop on Post-Binary ULSI Systems*, Warsaw, Poland, May 21, 2001, 63-68.

1 Theory of Computing Networks

It can be remarked that Yasuo Komamiya is a forerunner among those who converted the design of logic networks from an engineering discipline into a subdiscipline of applied mathematics. This observation is clearly and easily confirmed by recalling his work on computing networks reported in several publications over few years from 1951 to 1959, see the list of publications below. In these publications, Yasuo Komamiya used the equation

$$A_1 + A_2 + \cdots + A_n = d_m 2^m + d_{m-1} 2^{m-1} + \cdots + d_1 2 + d_0$$

where $A_i, d_i \in \{0, 1\}$ that is fundamental to the design of adders. Various kind of adders can be derived as its special cases. For $n = 2$ and $n = 3$, it corresponds to a half adder and a full adder, respectively.

The design methods introduced by Yasuo Komamiya involved the arithmetic and ReedMuller expressions viewed as particular examples of Fourier series-like expressions over different fields, the complex field C and the Galois field $GF(2)$.

Komamiya worked in that way from 1951 and probably earlier, when he published a discussion of the conversion of decimal to binary systems, and continued developing the same approach until formulation of a theory of the design of computing networks, which later become a subject of his lecturing as well as lecturing by many others [1], [14].

Komamiya used to publish on this subject mainly in Japanese, with exception of the technical report of the Electrotechnical Laboratory of the Ministry of Communication of Japan, which is reprinted below. In spite of clarity of presentation, this 40 pages long report in English requires considerable efforts to understand it. This can be considered as a reason that the work of Komamiya, although reported by Nozaki [12], stayed not widely known as it should be until the publications [14], and more recently [1], [6], [7], [15], [29].

THEORY OF CAMPUTING NETWORKS

JULY 10, 1959.

BY

DR, YASUO KOMAMIYA

CHIEF OF THE APPLIED MATHEMATICS SECTION OF

ELECTROTECHNICAL LABORATORY IN JAPANESE GOVERNMENT

(2 CHOME, NAGATA-CHO, CHIYODAKU, TOKYO)

Summary

The equation

$$A_1 + A_2 + \cdots\cdots + A_n = d_m 2^m + d_{m-1} 2^{m-1} + \cdots\cdots + d_1 2 + d_0$$

where each of every A_i and every d_i is either 1 or 0, can be considered as the fundamental equation of computing networks, as all computing networks can be derived at its special cases, thus making possible the construction of any desired computing circuits by calculation alone and by an entirely unified and similar mathematical method all through the design of the circuits. Using the results, various computing circuits which have hitherto fallen beyond the scope of mathematics can be treated and therefore various interesting and excellent computing circuits can be constructed. In this paper, the logical solution of the equation is discussed as the fundamental theory. Some properties of boolean function, which are necessary for convenience of calculation and general theory of designing n input parallel binary adder are also described. As the application of the theory, when $n = 3$, binary full adder, when $n = 5$, 3 input parallel binary adder and 2 input decimal parallel adder, when $n = 7$, 4 input parallel binary adder can be obtained. Details in respect of these and the methods for economizing the respective circuits are discussed. They are the most economized circuits, which have been obtained, so far. A circuit representing solution of the fundamental equation, and a diode matrix i.e. $A_1 = A_2 = \cdots\cdots = A_n = 1$, are also discussed.

§ 1. Introduction

Computing circuits has been discussed by many researchers[1-3], but almost all of them are obtained by cut and try and the designing methods have hitherto fallen beyong the scope of mathematics. According to the method, mentioned below, the circuits can be treated mathematically and the desired one can be designed mechanically, in a unified method without laborious thinking.

Symbols used in this paper, are $+$, $\cdot$, $\vee$, $'$ and $\oplus$. They are respectively usual sum, logical product, logical sum, negation and exclusive-or. Following symbols are also used for conciseness.

(Definition 1) $\sum_{n}^{P}(x_1, x_2, \cdots\cdots, x_n)$

The symbol means the exclusive-or operation of the all possible combinations of the logical product which is constructed from the arbitrary P elements out of $x_1, x_2, \cdots\cdots, x_n$. For example, in the case of $n = 3$, $p = 2$,

$$\sum_{3}^{2}(x_1, x_2, x_3) = x_1x_2 \oplus x_2x_3 \oplus x_3x_1$$

(Definition 2) $\bigvee_{i=1}^{n} a_i = a_1 \vee a_2 \vee \cdots\cdots \vee a_n$

§ 2. Fundamental Equation of Computing Networks

$$A_1 + A_2 + \cdots\cdots + A_n = d_m 2^m + d_{m-1} 2^{m-1} + \cdots\cdots + d_1 2 + d_0$$

where $A_i\ (n \geqq i \geqq 1)$: unknowns whose value is either 1 or 0,

$d_i\ (m \geqq i \geqq 0)$: known quantities whose value is either 1 or 0,

m : an maximum integer satisfying $2^m \leqq n$.

Eq. (1) can be considered as the fundamental equation of computing networks as indicated below. The essential part of this section is devoted to represent each d_i by the logical combination of each A_i. In the

first place, the lemma which is necessary to solve Eq. (1) is discussed.

(Lemma 1) When $A_1 + A_2 = d_1 2 + d_0$,
$d_0 = A_1 \oplus A_2$ and $d_1 = A_1 \cdot A_2$

are obtained. It is a particular case of Eq.(1), when $n = 2$.

(Proof) It is a well known fact.

(Theorem 1)[4] When Eq.(1) holds,

$$d_i = \sum_n^{2^i} (A_1, A_2, \cdots\cdots, A_n)$$

is obtained. (2)

(Proof) This is proved by the mathematical induction.

(i) For $i = 0$, it is discussed below.

$$d_0 = A_1 \oplus A_2 \oplus \cdots\cdots \oplus A_n \tag{3}$$

can be proved.

Let the following relations hold.

$$\left.\begin{aligned} A_2 + A_1 &= b_1 2 + a_1 \\ A_3 + a_1 &= b_2 2 + a_2 \\ A_4 + a_2 &= b_3 2 + a_3 \\ &\vdots \\ A_n + a_{n-2} &= b_{n-1} 2 + a_{n-1} \end{aligned}\right\} \tag{4}$$

where the value of each a_i and b_i are either 1 or 0.

Adding the respective sides of each of relations represented by (4),

$$A_1 + A_2 + \cdots\cdots + A_n = (b_1 + b_2 + \cdots\cdots + b_{n-1}) 2 + a_{n-1} \tag{5}$$

is obtained. From (1) and (5),

$$d_0 = a_{n-1} \tag{6}$$

and

$$b_1 + b_2 + \cdots\cdots + b_{n-1} = d_m 2^{m-1} + d_{m-1} 2^{m-2} + \cdots\cdots + d_2 2 + d_1 \tag{7}$$

are obtained. And, applying (Lemma 1) to each equation of (4),

$$\left.\begin{aligned} a_1 &= A_2 \oplus A_1 \\ a_2 &= A_3 \oplus a_1 \\ a_3 &= A_4 \oplus a_2 \\ &\vdots \\ a_{n-1} &= A_n \oplus a_{n-2} \end{aligned}\right\} \tag{8}$$

are obtained. After substituting each equation of (8) one after another and considering Eq. (6), Eq. (3) is obtained.

(ii) Assuming that the theorem holed until i, that is, the coefficient of 2^i, the following relation holds in Eq. (7), that is,

$$d_{i+1} = \sum_{n-1}^{2^i} (b_1, b_2, \cdots\cdots, b_{n-1}) \tag{9}$$

holds. Applying (Lemma 1) to Eqs.(4), in general,

$$\left.\begin{aligned} b_{r_j} &= A_{(r_j+1)} \cdot a_{(r_j-1)} \\ a_{(r_j-1)} &= A_1 \oplus A_2 \oplus \cdots\cdots \oplus A_{r_j} \end{aligned}\right\} \tag{10}$$

and

holds. Therefore,

$$b_{r_j} = A_{(r_j+1)} \cdot (A_1 \oplus A_2 \oplus \cdots\cdots \oplus A_{r_j}) \tag{11}$$

holds. Therefore,

$$\begin{aligned} b_{r_1} b_{r_2} \cdots\cdots b_{r_{2^i}} = {} & A_{(r_1+1)} \ (A_1 \oplus A_2 \oplus \cdots\cdots \oplus A_{r_1}) \\ & A_{(r_2+1)} \ (A_1 \oplus A_2 \oplus \cdots\cdots \oplus A_{r_1} \oplus \cdots\cdots \oplus A_{r_2}) \\ & \vdots \\ & A_{\{r_{2^i}+1\}} \ (A_1 \oplus A_2 \oplus \cdots\cdots \oplus A_{r_1} \oplus \cdots\cdots \oplus A_{r_2} \oplus \cdots\cdots \oplus A_{r_{2^i}}) \end{aligned} \tag{12}$$

holds, where $r_1 < r_2 < \cdots\cdots < r_{2^i}$ is assumed without loss of generality.

Considering Eq.(12),

$$\begin{aligned} (12) = {} & A_{(r_1+1)} \ (A_1 \oplus A_2 \oplus \cdots\cdots \oplus A_{r_1}) \\ & \cdot A_{(r_2+1)} \ (A_{r_1+2} \oplus A_{r_1+3} \oplus \cdots\cdots \oplus A_{r_2}) \\ & \cdot A_{(r_3+1)} \ (A_{r_2+2} \oplus A_{r_2+3} \oplus \cdots\cdots \oplus A_{r_3}) \end{aligned}$$

$$\vdots$$
$$\cdot A_{(r_{2^i}+1)}\,(A_{r_{(2^i-1)}+2} \oplus A_{r_{(2^i-1)}+3} \oplus \cdots\cdots \oplus A_{r_{2^i}})$$
$$= \sum_{s_1, s_2, \cdots s_{2^i}} A_{s_1} \cdot A_{r_1+1} \cdot A_{s_2} \cdot A_{r_2+1} \cdots\cdots A_{s_{2^i}} \cdot A_{r_{2^i}+1}$$

are obtained where, (13)

$$\left.\begin{array}{l} 1 \leqq s_1 \leqq r_1 \\ r_1+2 \leqq s_2 \leqq r_2 \\ r_2+2 \leqq s_3 \leqq r_3 \\ \vdots \\ r_{(2^i-1)}+2 \leqq s_{2^i} \leqq r_{2^i} \end{array}\right\} \quad (14)$$

In (13), no two terms are identical.

Inversely, considering the logical product which is constructed from the arbitrary $2^{(i+1)}$ elements out of $A_1, A_2, \cdots\cdots, A_n$,

i.e.

$$A_{t_1} \cdot A_{t_2} \cdots\cdots A_{t_{2^{(i+1)}}} \quad (15)$$

where, $t_1 < t_2 < \cdots\cdots < t_{2^{(i+1)}}$, there exists only one combination $r_1, r_2, \cdots\cdots, r_{2^i}$ such that the term (15) exists only one in the expansion formula of $b_{r_1} b_{r_2} \cdots b_{r_{2^i}}$.

That is, the term (15) exists only one in $b_{r_1} b_{r_2} \cdots\cdots b_{r_{2^i}}$ such that $r_1, r_2, \cdots\cdots, r_{2^i}$ are determined by

$$\left.\begin{array}{l} s_1 = t_1 \\ r_1 = t_2 - 1 \\ s_2 = t_3 \\ r_2 = t_4 - 1 \\ \vdots \\ s_{2^i} = t_{\{2^{(i+1)}-1\}} \\ r_{2^i} = \{t_{2^{(i+1)}} - 1\} \end{array}\right\}$$

Therefore, Eq.(9) can be written in an alternative form as below.

$$d_{i+1} = \sum_{n}^{2^{i+1}} (A_1, A_2, \cdots\cdots, A_n)$$

Thus by induction it is proved that the theorem holds for all permissible values of i.

Some properties of $\sum_n^{2^{i+1}}$ and the relation between a canonical form and exclusive-or expansion of the boolean function, which are necessary for this paper, will be discussed.

(Theorem 2)[4] When

$$\left.\begin{aligned} & n \geqq 2^{r_1}+2^{r_2}+\cdots\cdots+2^{r_k} \\ \text{and} \quad & 0 \leqq r_1 < r_2 < \cdots\cdots < r_k \end{aligned}\right\} \tag{16}$$

hold, following relation

$$\sum_n^{2^{r_1}+2^{r_2}+\cdots+2^{r_k}} = \left(\sum_n^{2^{r_1}}\right)\cdot\left(\sum_n^{2^{r_2}}\right)\cdots\cdots\left(\sum_n^{2^{r_k}}\right) \tag{17}$$

holds.

(Proof) When $k=1$, as each side of Eq.(17) is equal to $\sum_n^{2^{r_1}}$, validity of the theorem is obvious. Next, assuming that the theorem holds for k, it is proposed to show that the theorem holds for $k+1$, too.

For $(k+1)$, instead of k, the condition (16) becomes

$$\left.\begin{aligned} & n \geqq 2^{r_1}+2^{r_2}+\cdots\cdots+2^{r_{k+1}} \\ & 0 \leqq r_1 < r_2 < \cdots\cdots < r_k < r_{k+1} \end{aligned}\right\} \tag{18}$$

From the assumption, that the theorem holds for k,

$$\left(\sum_n^{2^{r_1}}\right)\cdot\left(\sum_n^{2^{r_2}}\right)\cdots\cdots\left(\sum_n^{2^{r_k}}\right)\cdot\left(\sum_n^{2^{r_{k+1}}}\right) = \left(\sum_n^{2^{r_1}+2^{r_2}+\cdots+2^{r_k}}\right)\cdot\left(\sum_n^{2^{r_{k+1}}}\right) \tag{19}$$

holds. From (18), it follows that

$$2^{r_{k+1}} > 2^{r_1}+2^{r_2}+\cdots\cdots+2^{r_k}. \tag{20}$$

Let x and y be any of the terms belonging to $\sum_n^{2^{r_1}+2^{r_2}+\cdots+2^{r_k}}$ and $\sum_n^{2^{r_{k+1}}}$ respectively. Number of variables of y are more than those of x. The three different cases arise.

(i) All variables of x are also variables of y . (cf. Fig. 1)

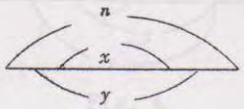


Fig. 1

y contains each variable of x .
Case (i), (Theorem 2).

(ii) x and y have some variables common. But all variables of x are not included in y . (cf. Fig.2)

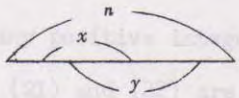


Fig. 2

x and y have some variables common.
Case (ii), (Theorem 2).

(iii) x and y have no common variables. (cf. Fig. 3)

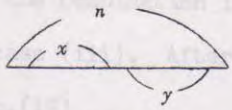


Fig. 3

x and y have no common variables.
Case (iii), (Theorem 2).

In the case (i):

As x and y consist of $2^{r_1}+2^{r_2}+\cdots\cdots+2^{r_k}$ variable and $2^{r_{k+1}}$ variables respectively, after performing the logical product for right hand side of Eq.(19), a group of

$$2^{r_{k+1}} C_{2^{r_1}+2^{r_2}+\cdots\cdots+2^{r_k}} \tag{21}$$

terms will be identical with a particular y.

In the case (ii): Similarly on performing logical product of right hand side of Eq.(19) a group of

$$2^{r_{k+1}} C_s \tag{22}$$

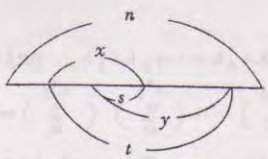


Fig. 4

terms will be identical for a particular t and a particular y.

Explanation of t and s in case (ii), (Theorem 2).

In general,

$$2^u C_v = \text{an even number}$$

holds for any positive integer u and v, where $v < 2^u$

Therefore, (21) and (22) are also an even numbers. Therefore, the number of terms which are obtained each from the case (i) and (ii) is even, and a particular group of terms, as indicated above, contains the same member even number of times. As they are combined by exclusive-or operator, the result of the combination is equal to 0. Therefore, it is enough to consider only the case (iii). After performing the logical product of the right hand side of Eq.(19)

$$\sum_n^{2^{r_1}+2^{r_2}+\cdots+2^{r_k}}$$

is obtained. Therefore,

$$\left(\sum_n^{2^{r_1}+2^{r_2}+\cdots+2^{r_k}}\right)\cdot\left(\sum^{2^{r_k+1}}\right)=\sum_n^{2^{r_1}+2^{r_2}+\cdots+r_{k+1}} . \tag{23}$$

Thus the theorem for $(k+1)$ is proved.

(Theorem 3) When $n < 2^{r_1}+2^{r_2}+\cdots+2^{r_k}$ and $n \geqq 2^{r_i}$ for any i $(1 \leqq i \leqq k)$ hold,

$$\left(\sum_n^{2^{r_1}}\right)\cdot\left(\sum_n^{2^{r_2}}\right)\cdots\cdots\left(\sum_n^{2^{r_k}}\right)=0$$

holds.

(Proof) Let m be

$$n < 2^{r_1}+2^{r_2}+\cdots+2^{r_k}=m .$$

Considering $A_1+A_2+\cdots+A_n+A_{n+1}+\cdots+A_m$,

$$\sum_m^m = \left(\sum_m^{2^{r_1}}\right)\left(\sum_m^{2^{r_2}}\right)\cdots\cdots\left(\sum_m^{2^{r_k}}\right)$$

is obtained from (Theorem 2). Here, letting $A_{n+1}=A_{n+2}=\cdots\cdots=A_m=0$,

$$\sum_m^m = 0$$

and

$$\left(\sum_m^{2^{r_1}}\right)\left(\sum_m^{2^{r_2}}\right)\cdots\cdots\left(\sum_m^{2^{r_k}}\right)=\left(\sum_n^{2^{r_k}}\right)\left(\sum_n^{2^{r_2}}\right)\cdots\cdots\left(\sum_n^{2^{r_k}}\right)$$

are obtained. Therefore the theorem holds.

Now, in order to get relations between a canonical form and exclusive-or expansion of a boolean function for convenience of logical calculation, let us define F and f as follows.

F is the canonical form of n variables x_1, x_2, ..., x_n of a any boolean function, i.e.

$$F = f_0 x_1' x_2' \cdots\cdots x_n' \vee f_1 x_1 x_2' x_3' \cdots\cdots x_n' \vee f_2 x_1' x_2 x_3' \cdots\cdots x_n'$$
$$\vee \cdots\cdots \vee f_{12} x_1 x_2 x_3' \cdots\cdots x_n' \vee \cdots\cdots \vee f_{12\cdots n} x_1 x_2 \cdots\cdots x_n \qquad (24)$$

and f is the exclusive-or expansion expressed by

$$f = f_0 \oplus f_1 x_1 \oplus f_2 x_2 \oplus \cdots\cdots \oplus f_{12} x_1 x_2 \oplus \cdots\cdots \oplus f_{12\cdots n} x_1 x_2 \cdots x_n \qquad (25)$$

where, $f_0, f_1, f_2, \cdots\cdots, f_{12}, \cdots\cdots, f_{12\cdots\cdots n}$ are either 1 or 0.

The relation between F and f is as follows. If all logical sum symbols in F are replaced by exclusive-or symbols and if negated variables appearing in the fundamental products are omitted, the resulting expression is f. Term 1 will apper in f if there exists fundamental product $x_1' x_2' \cdots\cdots x_n'$ in F. Conversely, F can be obtained from f if exclusive-or symbols are replaced by logical sum symbols and if each product is multiplied by the missing variables, each in negated form. If there exists a term 1 in f, the fundamental product $x_1' x_2' \cdots\cdots x_n'$

should appear in F. So, it can be seen that F and f has one to one correspondence. Let the relation be express by $F \Longleftrightarrow f$. Then the following theorem is obtained.

(Theorem 4)[5] When (i),(ii),(iii) and (iv) hold, $F = g$

where

(i) F : a canonical form of n variables $x_1, x_2, \cdots\cdots, x_n$ of a boolean function,

(ii) G : a canonical form of n variables $x_1, x_2, \cdots\cdots, x_n$ of a boolean function,

(iii) $F \Leftrightarrow f$, $f = G$,

(iv) $G \Leftrightarrow g$.

$$\begin{array}{ccc} F & \Longleftrightarrow & f \\ \| & & \| \\ g & \Longleftrightarrow & G \end{array}$$

Fig.5 The relation among F, f, G and g in (Theorem 4).

(Proof) From (iii) and (iv), as G is a canonical form of f, let G be

$$G = g_0 x_1' x_2' \cdots x_n' \vee g_1 x_1 x_2' \cdots x_n' \vee g_2 x_1' x_2 x_3' \cdots x_n' \vee \cdots\cdots \vee g_{12} x_1 x_2 x_3' \cdots x_n' \vee \cdots\cdots \vee g_{12\cdots n} x_1 x_2 \cdots x_n \tag{26}$$

Hence,

$$g = g_0 \oplus g_1 x_1 \oplus g_2 x_2 \oplus \cdots \oplus g_{12} x_1 x_2 \oplus \cdots\cdots \oplus g_{12\cdots n} x_1 x_2 \cdots x_n \tag{27}$$

is obtained. Now, let a canonical form of g be H, i.e.

$$H = h_0 x_1' x_2' \cdots x_n' \vee h_1 x_1 x_2' \cdots x_n' \vee h_2 x_1' x_2 x_3' \cdots x_n' \vee \cdots\cdots \vee h_{12} x_1 x_2 x_3' \cdots x_n' \vee \cdots\cdots \vee h_{12\cdots n} x_1 x_2 \cdots x_n \tag{28}$$

Let F and f be represented by (24) and (25) respectively. Equating (25) with (26), and assigning suitable values, either 0 or 1, to each of $x_1, x_2, \cdots\cdots, x_n$,

$$\left.\begin{array}{l} g_0 = f_0 \\ g_1 = f_0 \oplus f_1, \quad g_2 = f_0 \oplus f_2, \cdots\cdots \\ \vdots \\ g_{12} = f_0 \oplus f_1 \oplus f_2, \; g_{13} = f_0 \oplus f_1 \oplus f_3, \cdots\cdots \\ \vdots \\ g_{12\cdots n} = f_0 \oplus f_1 \oplus f_2 \oplus \cdots\cdots \oplus f_{12} \oplus \cdots\cdots \oplus f_{12\cdots n} \end{array}\right\} \tag{29}$$

are obtained, i.e. in general,

$$g_{i_1 i_2 \cdots i_k} = f_0 \oplus \sum_k^1 f_{j_1} \oplus \sum_k^2 f_{j_1 j_2} \oplus \cdots\cdots \oplus \sum_k^{k-1} f_{j_1 j_2 \cdots j_{k-1}} \oplus f_{i_1 i_2 \cdots i_k} \tag{30}$$

is obtained. Solving (29) or (30) for f,

$$f_{i_1 i_2 \cdots i_k} = g_0 \oplus \sum_k^1 g_{j_1} \oplus \sum_k^2 g_{j_1 j_2} \oplus \cdots \oplus \sum_k^{k-1} g_{j_1 j_2 \cdots j_{k-1}} \oplus g_{i_1 i_2 \cdots i_k} \tag{31}$$

is obtained, where (31) is quite similar to (30). Eq.(31) can be obtained by exchanging F and g. The exact proof of (31) can be had by mathematical induction, as indicated below.

Assume that (31) holds until $f_{i_1 i_2 \cdots i_{k-1}}$, i.e.

$$f_{i_1 i_2 \cdots i_{k-1}} = g_0 \oplus \sum_k^1 g_{j_1} \oplus \sum_k^2 g_{j_1 j_2} \oplus \cdots\cdots \sum_k^{k-2} g_{j_1 j_2 \cdots j_{k-2}} \oplus g_{i_1 i_2 \cdots i_{k-1}} \tag{31'}$$

From (30),

$$f_{i_1 i_2 \cdots i_k} = f_0 \oplus \sum_k^1 f_{j_1} \oplus \sum_k^2 f_{j_1 j_2} \oplus \cdots\cdots \oplus \sum_k^{k-1} f_{j_1 j_2 \cdots j_{k-1}} \oplus g_{i_1 i_2 \cdots i_k} \tag{31''}$$

is obtained. Value of each $f_0, f_1, f_2, \ldots, f_{12}, \ldots\ldots$ is known in term of some of $g_0, g_1, g_2, \ldots, g_{12}, \ldots\ldots$ from (31'). Substituting these values in (31''), the value of $f_{i_1 i_2 \cdots\cdots i_k}$ is known exclusively in term of $g_0, g_1, g_2, \cdots g_{12}, \cdots$. The number of times each g_0, g_1, g_2 ..., g_{12}, ... occurs is odd as explained below. Considering the general term $g_{i_1 i_2 \cdots i_l}$ ($l < k$), the number of times, it occurs, is

$$1 + {}_{k-l}C_1 + {}_{k-l}C_2 + \cdots\cdots + {}_{k-l}C_{k-1-l} = 2^{k-l} - 1 = \text{odd}$$

As these are combined by exclusive-or operation, any even number of such terms will always be zero. So the equation (31) is obtained.

On the other hand, as (31) holds from the relation between (25) and (26),

similarly from (27) and (28),

$$h_{i_1 i_2 \cdots i_k} = g_0 \oplus \sum_{k}^{1}(g_{i_1}, g_{i_2}, \cdots g_{i_k}) \oplus \sum_{k}^{2}(g_{i_1}, g_{i_2}, \cdots g_{i_k}) \oplus \cdots \oplus \sum_{k}^{k-1}(g_{i_1}, g_{i_2}, \cdots, g_{i_{k-1}}) \oplus g_{i_1 i_2 \cdots i_k} \tag{32}$$

is obtained.

Therefore, from (31) and (32),

$$h_{i_1 i_2 \cdots i_k} = f_{i_1 i_2 \cdots i_k} \quad \text{and} \quad h_0 = f_0$$

hold. Therefore,

$$F = H = g$$

(Remark 1) The relationship, between different members, involved in (Theorem 4) is represented by Fig.5. In the proof mentioned above starting from F, $F = g$ was proved. As a matter of fact, beginning from any of the members F, f, G and g, the theorem can be proved.

(Note 1)[5] $F \oplus f$ is an invariant with respect to the transformation $\Longleftrightarrow$. It is proved easily as mentioned below. Let canonical form of $F \oplus f$ be K and let k be defined by $K \Longleftrightarrow k$. From (24) and (26),

$$\begin{aligned} F \oplus f = & \{ f_0 x_1' x_2' \cdots x_n' \oplus f_1 x_1 x_2' \cdots x_n' \oplus \cdots \cdots \oplus f_{12 \cdots n} x_1 x_2 \cdots x_n \} \\ & \oplus \{ g_0 x_1' x_2' \cdots x_n' \oplus g_1 x_1 x_2' \cdots x_n' \oplus \cdots \cdots \oplus g_{12 \cdots n} x_1 x_2 \cdots x_n \} \\ = & (f_0 \oplus g_0) x_1' x_2' \cdots x_n' \oplus (f_1 \oplus g_1) x_1 x_2' x_3' \cdots x_n' \oplus \cdots \oplus (f_{12 \cdots n} \oplus g_{12 \cdots n}) x_1 x_2 \cdots x_n \\ = & (f_0 \oplus g_0) x_1' x_2' \cdots x_n' \vee (f_1 \oplus g_1) x_1 x_2' x_3' \cdots x_n' \vee \cdots \vee (f_{12 \cdots n} \oplus g_{12 \cdots n}) x_1 x_2 \cdots x_n \\ = & K \end{aligned} \tag{34}$$

is obtained. On the other hand, from (33) and (25)

$$\begin{aligned} F \oplus f = & \{ g_0 \oplus g_1 x_1 \oplus \cdots \oplus g_{12 \cdots n} x_1 x_2 \cdots x_n \} \\ & \oplus \{ f_0 \oplus f_1 x_1 \oplus \cdots \oplus f_{12 \cdots n} x_1 x_2 \cdots x_n \} \\ = & (f_0 \oplus g_0) \oplus (f_1 \oplus g_1) x_1 \oplus \cdots \oplus (f_{12 \cdots n} \oplus g_{12 \cdots n}) x_1 x_2 \cdots x_n \\ = & k \end{aligned} \tag{35}$$

is obtained. Therefore, from (34) and (35),

$$K = k$$

Example Let F be as follows.

$$F = x'y'z' \vee xyz'$$

$$\therefore f = 1 \oplus xy$$

$$= x'y' \vee xy' \vee x'y$$

$$= (x'y' \vee xy' \vee x'y)(z \vee z')$$

$$\therefore G = f$$

$$= x'y'z' \vee xy'z' \vee x'yz' \vee x'y'z \vee xy'z \vee x'yz$$

$$\therefore g = 1 \oplus x \oplus y \oplus z \oplus xz \oplus yz$$

Therefore, from (Theorem 4), $F = g$ holds, i.e.

$$x'y'z' \vee xyz' = 1 \oplus x \oplus y \oplus z \oplus xz \oplus yz$$

is obtained.

§ 3. n Input Parallel Binary Adder

§ 3.1 General Theory

Let $X_1, X_2, \ldots, X_n$ be non negative number with m digits in binary system, i.e.

$$X_i = x_{im}2^m + x_{i(m-1)}2^{m-1} + \cdots\cdots + x_{i1}2 + x_{i0} \tag{36}$$

where $1 \leqq i \leqq n$. Then,

$$\begin{aligned} X_1 + X_2 + \cdots\cdots + X_n = {} & (x_{1m} + x_{2m} + \cdots\cdots x_{nm})2^m \\ & + (x_{1(m-1)} + x_{2(m-1)} + \cdots + x_{n(m-1)})2^{m-1} \\ & \vdots \\ & + (x_{11} + x_{21} + \cdots + x_{n1})2 \\ & + (x_{10} + x_{20} + \cdots + x_{n0}) \end{aligned} \tag{37}$$

is obtained. Let $d_{00}, d_{10}, \ldots, d_{i0}, \ldots$, each one or zero, be such that

$$(37) = d_{00} + d_{10}2 + d_{20}2^2 + \cdots\cdots + d_{i0}2^i + \cdots, \tag{38}$$

so $d_{00}, \ldots, d_{i0}, \ldots$, is the answer for $(X_1 + X_2 + \cdots\cdots + X_m)$.

Circuit for d_{i0} is represented by a block diagram as shown in Fig.6, where $(R_1, R_2, \ldots, R_t)$ and $(S_1, S_2, \ldots, S_t)$ are the carries from

the ($i-1$) th digit, and to the ($i+1$) th digit respectively.

Each of every R and every S is either 1 or 0.

In general, this relation is expressed by

$$x_{1i}+x_{2i}+\cdots\cdots+x_{ni}+R_1+R_2+\cdots\cdots+R_t=(S_1+S_2+\cdots\cdots+S_t)\,2+d_{io} \quad (39)$$

where t is defined by minimum integer satisfying

$$n+t\leqq 2t+1 \quad (40)$$

Therefore

$$\therefore \ min.(t)=n-1 \quad (41)$$

is obtained. Therefore, Eq.(39) becomes

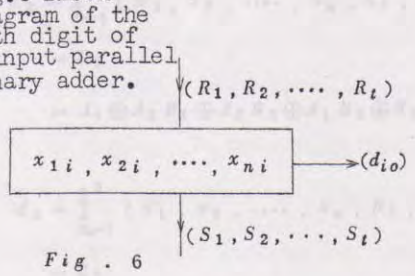


Fig. 6 Block diagram of the i th digit of n input parallel binary adder.

$$x_{i1}+x_{i2}+\cdots\cdots+x_{in}+R_1+R_2+\cdots\cdots+R_{n-1}=(S_1+S_2+\cdots\cdots+S_{n-1})\,2+d_{io} \quad (42)$$

Accordingly, from now onwards, let us consider (39) in the form given below.

$$x_1+x_2+\cdots\cdots+x_n+R_1+R_2+\cdots\cdots+R_{n-1}=(S_1+S_2+\cdots\cdots+S_{n-1})\,2+d_o. \quad (43)$$

Let A_i, B_i and C_i be defined as

$$A_i=\sum_{1}^{i}(x_1, x_2, \cdots\cdots, x_n) \quad (44)$$

$$B_i=\sum_{n-1}^{i}(R_1, R_2, \cdots\cdots, R_{n-1}) \quad (45)$$

and

$$C_i=\sum_{n-1}^{i}(S_1, S_2, \cdots\cdots, S_{n-1}) \quad (46)$$

And let d_m, d_{m-1} ...., d_1 and d_o be defined by

$$x_1+x_2+\cdots+x_n+R_1+R_2+\cdots+R_{n-1}=(S_1+S_2+\cdots+S_{n-1})\,2+d_o \quad (43)$$

$$=d_m 2^m+d_{m-1}2^{m-1}+\cdots+d_1 2+d_o, \quad (47)$$

where m is the maximum integer satisfying $2^m \leqq (2n-1)$.

Then, from (43) and (47)

$$S_1+S_2+\cdots+S_{n-1}=d_m 2^{m-1}+d_{m-1}2^{m-2}+\cdots+d_2 2+d_1 \quad (48)$$

is obtained. Following relations can be obtained from (Theorem 1), i.e.

$$d_0 = \sum^{1}_{2n-1}(x_1, x_2, \cdots, x_n, R_1, R_2, \cdots, R_{n-1})$$
$$= A_1 \oplus B_1 \tag{49}$$

$$d_1 = \sum^{2}_{2n-1}(x_1, x_2, \cdots, x_n, R_1, R_2, \cdots R_{n-1})$$
$$= C_1 \tag{50}$$
$$= A_2 \oplus A_1 B_1 \oplus B_2 \tag{50'}$$

$$d_2 = \sum^{2^2}_{2n-1}(x_1, x_2, \cdots, x_n, R_1, R_2, \cdots, S_{n-1})$$
$$= C_2 \tag{51}$$
$$= A_4 \oplus A_3 B_1 \oplus A_2 B_2 \oplus A_1 B_3 \oplus B_4 \tag{51'}$$

and

$$d_3 = \sum^{2^3}_{2n-1}(x_1, x_2, \cdots, x_n, R_1, R_2, \cdots, R_{n-1})$$
$$= C_4 \tag{52}$$
$$= A_8 \oplus A_7 B_1 \oplus A_6 B_2 \oplus A_5 B_3 \oplus A_4 B_4 \oplus A_3 B_5 \oplus A_2 B_6 \oplus A_1 B_7 \oplus B_8 \tag{52'}$$

In general,

$$d_i = C_{2i-1} \tag{53}$$
$$= \begin{cases} A_{2i} \oplus A_{(2i-1)} B_1 \oplus A_{(2i-2)} B_2 \oplus \cdots \oplus A_1 B_{(2^{i}-1)} \oplus B_{2i} & \text{for } 2^i \leqq n-1, \text{ so } 1 \leqq i \leqq m-1 \quad (53') \\ A_{2i} \oplus A_{(2i-1)} B_1 \oplus A_{(2i-2)} B_2 \oplus \cdots \oplus A_1 B_{(2i-1)} \text{ for } 2^i = n = 2^m, \text{ so } i = m, & (53'') \end{cases}$$

is obtained. From (Theorem 2) and (Theorem 3), following relations can be obtained, i.e.

$$A_{2^{r_1}+2^{r_2}+\cdots 2^{r_k}} = \left\{ \begin{array}{l} A_{2^{r_1}} \cdot A_{2^{r_2}} \cdot \cdots A_{2^{r_k}}, \text{ when } n \geqq 2^{r_1}+2^{r_2}+\cdots+2^{r_k} \\ 0, \text{ when } n < 2^{r_1}+2^{r_2}+\cdots+2^{r_k} \end{array} \right\} (54)$$

$$B_{2^{r_1}+2^{r_2}+\cdots+2^{r_k}} = \left\{ \begin{array}{l} B_{2^{r_1}} \cdot B_{2^{r_2}} \cdots B_{2^{r_k}}, \text{ when } n-1 \geqq 2^{r_1}+2^{r_2}+\cdots+2^{r_k} \\ 0, \text{ when } n-1 < 2^{r_1}+2^{r_2}+\cdots+2^{r_k} \end{array} \right\} (55)$$

and

$$C_{2^{r_1}+2^{r_2}+\cdots+2^{r_k}} = \left\{ \begin{array}{l} C_{2^{r_1}} \cdot C_{2^{r_2}} \cdots C_{2^{r_k}}, \text{ when } n-1 \geqq 2^{r_1}+2^{r_2}+\cdots+2^{r_k} \\ 0, \text{ when } n-1 < 2^{r_1}+2^{r_2}+\cdots+2^{r_k} \end{array} \right\} (56)$$

where $0 \leqq r_1 < r_2 < \cdots < r_k$. Therefore, A_i and B_i can be represented by a function of only $A_1, A_2, A_{2^2}, \ldots$; $B_1, B_2, B_{2^2}, \ldots$, respectively. Accordingly, C_{2i-1} can be represented by them, i.e.

$$\left.\begin{aligned} C_{2i-1} &= f(A_1, A_2, A_{22}, \cdots A_{2i}; B_1, B_2, B_{22}, \cdots, B_{2i}) \\ &\qquad for\ 2i \leqq n-1\ ,\ so\ 1 \leqq i \leqq m-1 \\ \text{and} \\ C_{2m-1} &= f(A_1, A_2, A_{22}, \cdots, A_{2m}; B_1, B_2, B_{22}, \cdots, B_{2m-1}) \\ &\qquad for\ 2i = n = 2m\ ,\ so\ i = m\ . \end{aligned}\right\} \qquad (57)$$

d_0 is the answer of the i th digit and is to be determined. From (49) in order to obtain d , it is necessary to get informations of B from the $(i-1)$ th digit. To determine the $(i+1)$ th digit, similar information i.e. about C_1 , from the i th digit to the $(i+1)$ th digit must be sent. In order to obtain information about C_1 , information about B_1 and B_2 must be got from the $(i-1)$ th digit, from (50'). Similarly, informations about C_2 must also be sent to the $(i+1)$ th digit. Therefore, from (51'), informations about B_4 must be got from the $(i-1)$ th digit. Similar is the case for higher values of B_i and C_i . As n , the number of inputs are finite, the number of not identically zero B_i and C_i, is also finite, as above a certain value of i , each B_i and C_i is necessarily zero. So depending on the value of n the specific amount of information is received from the $(i-1)$ th digit and certain amount of information is sent to the $(i+1)$ th digit, by the i th digit. Eq.(57) determines the exact amount of information to be received and to be sent.

Procedure of determining the forms of such information is as follows.

First, expand (50') to a canonical form in A_1 and A_2, i.e.

$$C_1 = (1 \oplus B_1 \oplus B_2)\, A_1 A_2 \vee (B_1 \oplus B_2)\, A_1 A_2' \vee (1 \oplus B_2)\, A_1' A_2 \vee B_2 A_1' A_2' \qquad (58)$$

From (58) as informations $1 \oplus B_1 \oplus B_2$, $B_1 \oplus B_2$, $1 \oplus B_2$, and B_2 come from the $(i-1)$ th digit, informations $1 \oplus C_1 \oplus C_2$, $C_1 \oplus C_2$, $1 \oplus C_2$ and C_2 must be sent to the $(i+1)$ th digit. Next, expand $(1 \oplus C_1 \oplus C_2)$, $(C_1 \oplus C_2)$, $(1 \oplus C_2)$, and (C_2) to a canonical form in

A_1, A_2 and A_4 with the help of (50'), (51'), (54) and (55). Then,

$$(C_1 \oplus C_2) = (B_1 B_2 \oplus B_4) A_1 A_2 A_4 \vee (1 \oplus B_1 B_2 \oplus B_4) A_1 A_2 A_4' \vee (1 \oplus B_1 \oplus B_2 \oplus B_1 B_2 \oplus B_4) A_1 A_2' A_4 \vee B_4 A_1' A_2 A_4 \vee (B_1 \oplus B_2 \oplus B_1 B_2 \oplus B_4) A_1 A_2' A_4 \vee (1 \oplus B_4) A_1' A_2 A_4' \vee (1 \oplus B_2 \oplus B_4) A_1' A_2' A_4 \vee (B_2 \oplus B_4) A_1' A_2' A_4' , \quad (59)$$

and

$$C_2 = (1 \oplus B_1 \oplus B_2 \oplus B_1 B_2 \oplus B_4) A_1 A_2 A_4 \vee (B_1 \oplus B_2 \oplus B_1 B_2 \oplus B_4) A_1 A_2 A_4' \vee (1 \oplus B_1 B_2 \oplus B_4) A_1 A_2' A_4 \vee (1 \oplus B_2 \oplus B_4) A_1' A_2 A_4 \vee (B_1 B_2 \oplus B_4) A_1 A_2' A_4' \vee (B_2 \oplus B_4) A_1' A_2 A_4' \vee (1 \oplus B_4) A_1' A_2' A_4 \vee B_4 A_1' A_2' A_4' \quad (60)$$

are obtained. Canonical forms of $(1 \oplus C_1 \oplus C_2)$ and $(1 \oplus C_2)$ may put negation to the coefficients of (59) and (60) respectively. From (59) and (60), information "$1 \oplus B_1 \oplus B_2 \oplus B_1 B_2 \oplus B_4$", "$B_1 \oplus B_2 \oplus B_1 B_2 \oplus B_4$", "$1 \oplus B_1 B_2 \oplus B_4$", "$B_1 B_2 \oplus B_4$", "$1 \oplus B_2 \oplus B_4$", "$B_2 \oplus B_4$", "$1 \oplus B_4$", "$B_4$" is received from the $(i-1)$ th digit, and information $(1 \oplus C_1 \oplus C_2 \oplus C_1 C_2 \oplus C_4)$, $(C_1 \oplus C_2 \oplus C_1 C_2 \oplus C_4)$, $(1 \oplus C_1 C_2 \oplus C_4)$, $(C_1 C_2 \oplus C_4)$, $(1 \oplus C_2 \oplus C_4)$, $(C_2 \oplus C_4)$, $(1 \oplus C_4)$, (C_4) must be sent to the $(i+1)$ th digit.

As already pointed out the procedure is finite. In general, let a canonical form of ${}_nC_{2^i-1}$ in $A_1, A_2, A_{2^2}, \cdots\cdots$ variables be represented by

$$C_{2^i-1} = \bigvee_{\alpha=1}^{2^{i+1}} f_\alpha^i (B_1, B_2, \cdots, B_{2^i}) \, p_\alpha^i (A_1, A_2, \cdots, A_{2^i}) \quad \text{for } 2^i \leqq n$$

and

$$C_{2^m-1} = \bigvee_{\alpha=1}^{2^{m+1}} f_\alpha^m (B_1, B_2, \cdots, B_{2^m-1}) \, p_\alpha^m (A_1, A_2, \cdots A_{2^m}) \quad \text{for } 2^i = n = 2^m \quad (61)$$

where p_α^i is a fundamental product of A_1, A_2, $A_2{}^2$, ..., A_{2i} and f_α^i is the corresponding coefficient.

Now, consider $f_\alpha^i(C_1, C_2, \cdots, C_{2i})$ for each i and let a canonical form of $f_\alpha^i(C_1, C_2, \ldots, C_{2i})$ in the variable A_1, A_2, $A_2{}^2$, ... represented by

$$f_\alpha^i(C_1, C_2, \cdots, C_{2i}) = \bigvee_{\beta=1}^{2^{i+2}} g_\beta^i(B_1, B_2, \cdots, B_{2i+1}) P_\beta^i(A_1, A_2, \cdots A_{2i+1}) \quad (62)$$

where P_β^i is a fundamental product of A_1, A_2, $A_2{}^2$, ..., A_{2i+1} and g_β^i is the corresponding coefficient.

And if there exist some g_β^j which are different from any f_α^i, the above mentioned procedure will continue.

On the other hand, C_1, C_2, ..., C_{2m-3} and C_{2m-2} or C_{2m-1} are a boolean function which has at most m variables concerning B_1, B_2, $B_2{}^2$, ..., B_{2m-1}. Therefore, a number of boolean functions of B_1, B_2, ..., B_{2m-1} is 2^{2^m} at most, accordingly a number of f_α^i, g_β^j, ... which are different from each other is 2^{2^m} at most. Therefore, the procedure finishes after the definite stage.

$p_\alpha^i(A_1, A_2, \ldots, A_{2i})$ is the fundamental product of A_1, A_2, $A_2{}^2$, ..., A_{2i}. Therefore, each p_α^i (fixed i) is different from each other. So is the case with P_β^i ..... etc.

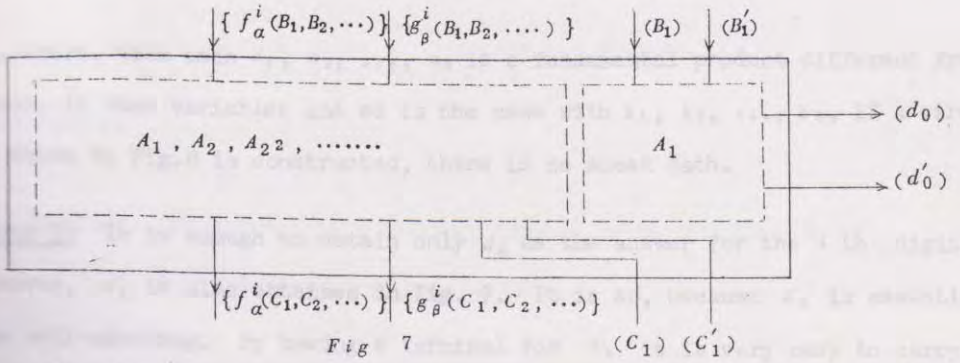


Fig 7

Fig. 7. The input and output busses conditions of n input parallel binary adder.

Therefore, the i th digit circuit can be constructed as shown in Fig. 7 without any sneak path. (cf. Note 2)

The details and the economizing method of the circuit are discussed in the following sections with the help of several examples.

(Note 2) In general, there is no sneak path in the circuit represented by the following relation (as shown in Fig. 8) i.e.

$$\left.\begin{aligned} x &= a_1 B_1 \vee a_2 B_2 \vee \cdots\cdots \vee a_n B_n \\ y &= b_1 B_1 \vee b_2 B_2 \vee \cdots\cdots \vee b_n B_n \end{aligned}\right\} \qquad (63)$$

where, $a_i\ a_j = 0$ and $b_i\ b_j = 0$ for any i, j ($i \neq j$).

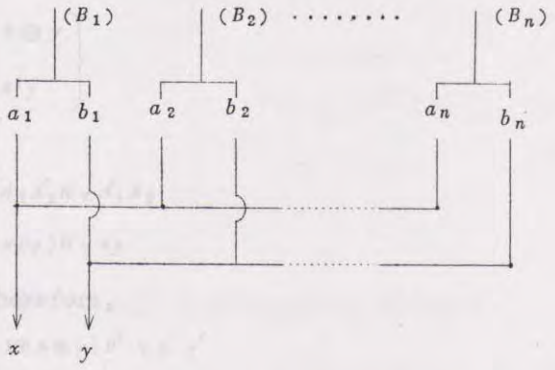


Fig.8 - The circuit representation of Eq.(63).

Therefore, when each $a_1, a_2, \ldots, a_n$ is a fundamental product different from other, in same variables and so is the case with $b_1, b_2, \ldots, b_n$, if a circuit as shown in Fig.8 is constructed, there is no sneak path.

(Note 3) It is enough to obtain only d_0 as the answer for the i th digit. However, d'_2 is also obtained in Fig. 7. It is so, because d'_0 is essential for self-checking. By having a terminal for d'_0 it is very easy to carry out self-checking simultaneously with the calculations as $d_0 = (d'_0)'$.

If there exists some trouble in the circuit, d_0 may be equal to d'_0 and so long as $d_0 \neq d'_0$, it is positively certain that the concerned circuit is free from trouble.

§3.2 2 Input Binary Adder (Full Adder)

This is a particular case of (43) when $n = 2$.

$$x + y + R = S_2 + d \tag{64}$$

is obtained. From (49) and (53"),

$$d = A_1 \oplus R \tag{65}$$

$$S = A_2 \oplus A_1 R \tag{66}$$

are obtained, where

$$\left.\begin{aligned} A_1 &= x \oplus y \\ A_2 &= x\, y \end{aligned}\right\} \tag{67}$$

From (66),

$$S = A_1 A'_2 R \vee A'_1 A_2 \tag{68}$$

$$= (x \oplus y) R \vee x y \tag{68'}$$

is obtained. Therefore,

$$S' = (1 \oplus x \oplus y) R' \vee x' y' \tag{69}$$

is obtained. And from (65) and (67),

$$d = x \oplus y \oplus R$$

$$= (1 \oplus x \oplus y) R \vee (x \oplus y) R' \tag{70}$$

accordingly,

$$d' = (x \oplus y) R \vee (1 \oplus x \oplus y) R' \tag{71}$$

are obtained. Therefore, if a desired circuit is constructed using relays, Fig.9 is obtained.

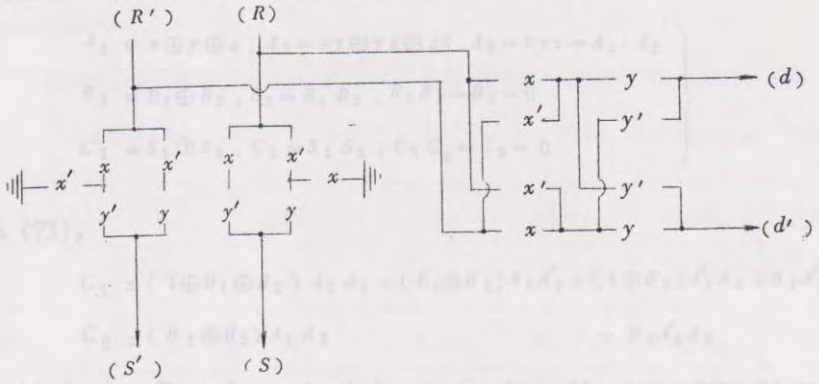


Fig. 9 2 input binary adder.

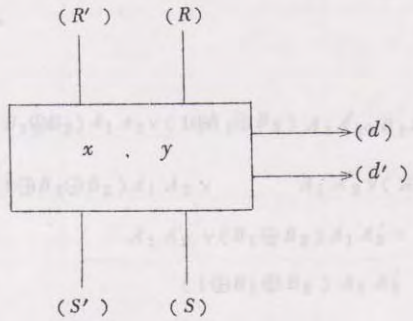


Fig. 10 Compact representation of Fig.9

With compact presentation in view, let Fig. 9 be represented by Fig.10 for further use.

§ 3.3 3 Input Binary Adder

This is a particular case of (43) when $n = 3$. So

$$x + y + Z + R_1 + R_2 = (S_1 + S_2) 2 + d \tag{72}$$

is obtained. From (49), (53') and (53"),

$$\left.\begin{aligned} d &= A_1 \oplus B_1 = (1 \oplus B_1)\ A_1 \vee B_1\ A'_1 \\ C_1 &= A_2 \oplus A_1\ B_1 \oplus B_2 \\ C_2 &= A_3\ B_1 \oplus A_2\ B_2 \end{aligned}\right\} \tag{73}$$

are obtained, and from (44), (45) and (46),

$$\left.\begin{aligned} A_1 &= x \oplus y \oplus z\ ,\ A_2 = xy \oplus yz \oplus zx\ ,\ A_3 = xyz = A_1 \cdot A_2 \\ B_1 &= R_1 \oplus R_2\ ,\ B_2 = R_1 R_2\ ,\ B_1 B_2 = B_3 = 0 \\ C_1 &= S_1 \oplus S_2\ ,\ C_2 = S_1 S_2\ ,\ C_1 C_2 = C_3 = 0 \end{aligned}\right\} \tag{74}$$

From (73),

$$\left.\begin{aligned} C_1 &= (1 \oplus B_1 \oplus B_2) A_1 A_2 \vee (B_1 \oplus B_2) A_1 A_2' \vee (1 \oplus B_2) A_1' A_2 \vee B_2 A_1' A_2' \\ C_2 &= (B_1 \oplus B_2) A_1 A_2 \qquad\qquad \vee B_2 A_1' A_2 \end{aligned}\right\} \tag{75}$$

are obtained. Therefore, in order to perform the procedure as mentioned in § 3.1, it is necessary to obtain $(1 \oplus C_1)$, $(1 \oplus C_2)$, $(C_1 \oplus C_2)$ and $(1 \oplus C_1 \oplus C_2)$.

From (72),

$$\left.\begin{aligned} (1 \oplus C_1) &= (B_1 \oplus B_2) A_1 A_2 \vee (1 \oplus B_1 \oplus B_2) A_1 A_2' \vee B_2 A_1' A_2' \vee (1 \oplus B_2) A_1' A_2' \\ (1 \oplus C_2) &= (1 \oplus B_1 \oplus B_2) A_1 A_2 \vee A_1 A_2' \vee (1 \oplus B_2) A_1' A_2 \vee A_1' A_2' \\ (C_1 \oplus C_2) &= A_1 A_2 \vee (B_1 \oplus B_2) A_1 A_2' \vee A_1' A_2 \vee B_2 A_1' A_2' \\ (1 \oplus C_1 \oplus C_2) &= (1 \oplus B_1 \oplus B_2) A_1 A_2' \vee (1 \oplus B_2) A_1' A_2' \end{aligned}\right\} \tag{76}$$

are obtained. In this case, as been clear from (73), (75) and (76), informations received from the $(i-1)$ th digit, are B_1, $(1 \oplus B_1)$, $(1 \oplus B_1 \oplus B_2)$, $(B_1 \oplus B_2)$, $(1 \oplus B_2)$, (B_2) only and informations sent to the $(i+1)$ th digit are C_1, $(1 \oplus C_1)$, $(1 \oplus C_1 \oplus C_2)$, $(C_1 \oplus C_2)$, $(1 \oplus C_2)$, (C_2) only. Therefore, the procedure which is described in 3.1 finishes in only 3 stages.

In this case, as $B_1 B_2 = B_3 = 0$ and $C_1 C_2 = C_3 = 0$, from (74),

$$\left.\begin{aligned} 1 \oplus B_1 \oplus B_2 &= B_1' B_2' \\ 1 \oplus C_1 \oplus C_2 &= C_1' C_2' \\ B_1 B_2' &= B_1 \\ C_1 C_2' &= C_1 \\ B_1' B_2 &= B_2 \\ C_1' C_2 &= C_2 \end{aligned}\right\} \tag{77}$$

are obtained.

Now, let us economized (75) and (76). First tabulate the coefficients B_1, $(1\oplus B_1)$, ···etc., of (73), (75) and (76) as shown in Table 1.

	B_1	$1\oplus B_1$	B_2	$1\oplus B_2$	$B_1\oplus B_2$	$1\oplus B_1\oplus B_2$	1
C_1	0	0	$A'_1A'_2$	A'_1A_2	$A_1A'_2$	A_1A_2	0
$1\oplus C_1$	0	0	A'_1A_2	$A'_1A'_2$	A_1A_2	$A_1A'_2$	0
C_2	0	0	A'_1A_2	0	A_1A_2	0	0
$1\oplus C_2$	0	0	0	A'_1A_2	0	A_1A_2	A'_2
$C_1\oplus C_2$	0	0	$A'_1A'_2$	0	$A_1A'_2$	0	A_2
$1\oplus C_1\oplus C_2$	0	0	0	$A'_1A'_2$	0	$A_1A'_2$	0
d	A'_1	A_1	0	0	0	0	0
d'	A_1	A'_1	0	0	0	0	0

Table 1. The coefficients $B_1, 1\oplus B_1$ ····· etc. of Eq. (73) and (75).

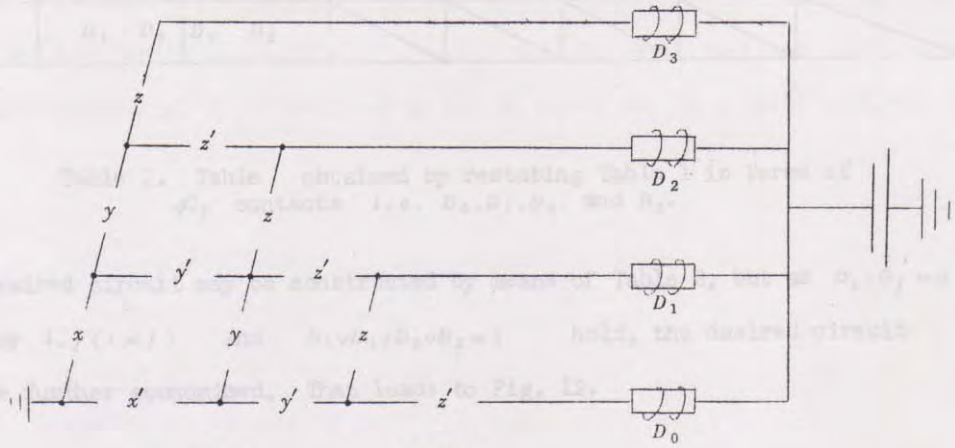


Fig.11 D_i circuit.

Here, represent ${}_3C_0, {}_3C_1, {}_3C_2$ and ${}_3C_3$ circuit concerning x, y and z (for example, if they are constructed by relay circuit they are Fig. 11). From (74) and Fig. 11, (78) is obtained as shown below.

$$A'_1A'_2=D_0,\quad A_1A'_2=D_1,\quad A'_1A_2=D_2,\quad A_1A_2=D_3 \tag{78}$$

On substituting above values in Table 1, Table 2 is obtained by considering (77).

	B_1	B'_1	B_2	B'_2	$B_1 \oplus B_2$	$B'_1B'_2$	1
C_1			D_0	D_2	D_1	D_3	
C'_1			D_2	D_0	D_3	D_1	
C_2			D_2		D_3		
C'_2				D_2		D_3	D_0D_1
$C_1 \oplus C_2$			D_0		D_1		D_2D_3
$C'_1\ C'_2$				D_0		D_1	
d	$D_0\ \ D_2$		$D_1\ \ D_3$				
d'	$D_1\ \ D_3$		$D_0\ \ D_2$				

Table 2. Table obtained by restating Table 1 in Terms of ${}_nC_i$ contacts *i.e.* D_0, D_1, D_2 and D_3.

The desired circuit may be constructed by means of Table 2, but as $D_i \cdot D_j = 0$ for any $i, j\ (i \neq j)$ and $D_0 \vee D_1 \vee D_2 \vee D_3 = 1$ hold, the desired circuit can be further economized. That leads to Fig. 12.

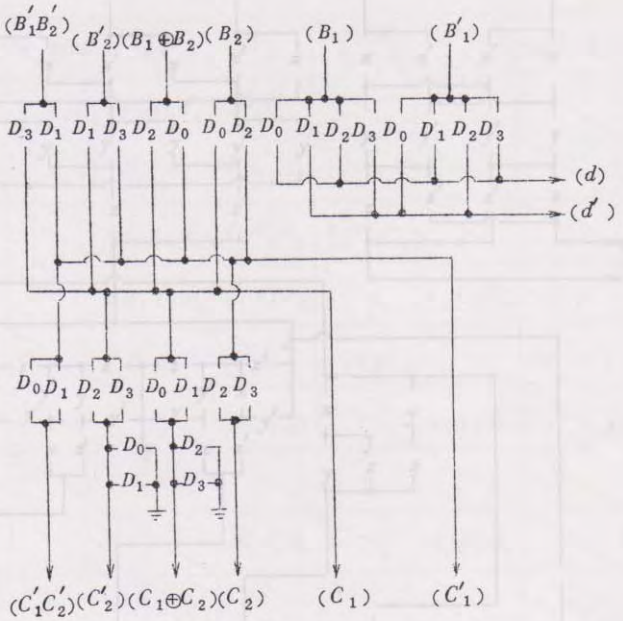


Fig.12 3 input parallel binary adder represented by D_i .

Fig. 13 is the desired circuit obtained after further economization by cut and try, which represents D_0, D_1, D_2 and D_3 with contacts x, y and z in Fig.12.(Fig. 13 is obtained by Mr. K. Ogata who is a staff of E.T.L.)

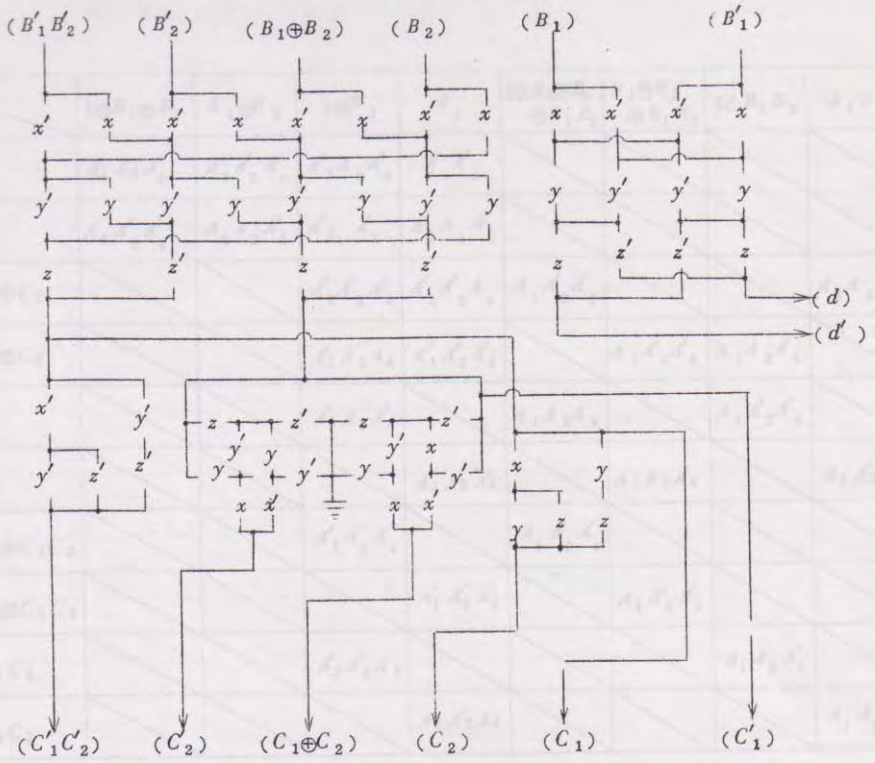


Fig. 13 3 input parallel binary adder represented by x, y and z.

§ 3.4 4 Input Binary Adder

This is a particular case of (43) when $n=4$. So

$$x+y+z+u+R_1+R_2+R_3=(S_1+S_2+S_3)2+d$$

is obtained. Similarly as in § 3.2 and § 3.3, from (49), (53') and (53"),

$$\left.\begin{aligned} d &= A_1\oplus B_1 \\ C_1 &= A_2\oplus A_1B_1\oplus B_2 \\ C_2 &= A_4\oplus A_3B_1\oplus A_2B_2\oplus A_1B_3 \\ C_3 &= C_1\cdot C_2, A_3=A_1\cdot A_2, B_3=B_1\cdot B_2 \end{aligned}\right\} \qquad (79)$$

are obtained, which further leads to Table 3.

	$1\oplus B_1\oplus B_2$	$B_1\oplus B_2$	$1\oplus B_2$	B_2	$1\oplus B_1\oplus B_2\oplus B_1B_2$	$B_1\oplus B_2\oplus B_1B_2$	$1\oplus B_1B_2$	B_1B_2	1
C_1	$A_1A_2A_4'$	$A_1A_2'A_4'$	$A_1'A_2A_4'$	$A_1'A_2'$					
$1\oplus C_1$	$A_1A_2'A_4'$	$A_1A_2A_4'$	$A_1'A_2'$	$A_1'A_2A_4'$					
$1\oplus C_1\oplus C_2$			$A_1'A_2'A_4'$	$A_1'A_2'A_4$	$A_1A_2'A_4'$			$A_1A_2A_4'$	
$C_1\oplus C_2$			$A_1'A_2'A_4$	$A_1'A_2'A_4'$		$A_1A_2'A_4'$	$A_1A_2A_4'$		$A_1'A_2A_4'$
$1\oplus C_2$			$A_1'A_2A_4'$		$A_1A_2A_4'$		$A_1A_2'A_4'$		$A_1'A_2'A_4'$
C_2				$A_1'A_2A_4'$		$A_1A_2A_4'$		$A_1A_2'A_4'$	$A_1'A_2'A_4$
$1\oplus C_2\oplus C_1C_2$			$A_1'A_2'A_4'$		$A_1A_2'A_4'$				
$C_1\oplus C_2\oplus C_1C_2$				$A_1'A_2'A_4'$		$A_1A_2'A_4'$			$A_1'A_2A_4'\vee A_1A_2'A_4'\vee A_1'A_2'A_4$
$1\oplus C_1C_2$			$A_1'A_2'A_4$				$A_1A_2A_4'$		$A_1'A_2'A_4'\vee A_1A_2'A_4'\vee A_1'A_2A_4'$
C_1C_2				$A_1'A_2'A_4$				$A_1A_2'A_4'$	

Table 3 The relations between the input and output busses conditions of 4 input parallel binary adder.

In this case it is difficult to economize the desired circuit. Restating Table 3 in terms of ${}_nC_i$ contacts, i.e. D_0, D_1, ..., D_4, Table 4 is obtained. Fig. 14 is a desired circuit.

	$1\oplus B_1\oplus B_2$	$B_1\oplus B_2$	$1\oplus B_2$	B_2	$1\oplus B_1\oplus B_2\oplus B_1B_2$	$B_1\oplus B_2\oplus B_1B_2$	$1\oplus B_1B_2$	B_1B_2	1
C_1	D_3	D_1	D_2	$D_0\ D_4$					
$1\oplus C_1$	D_1	D_3	$D_0\ D_4$	D_2					
$1\oplus C_1\oplus C_2$			D_0	D_4	D_1			D_3	
$C_1\oplus C_2$			D_4	D_0		D_1	D_3		D_2
$1\oplus C_2$			D_2		D_3		D_1		D_0
C_2				D_2		D_3		D_1	D_4
$1\oplus C_1\oplus C_2\oplus C_1C_2$			D_0		D_1				
$C_1\oplus C_2\oplus C_1C_2$				D_0		D_1			$D_2\ D_3\ D_4$
$1\oplus C_1C_2$			D_4				D_3		$D_0\ D_1\ D_2$
C_1C_2				D_4				D_3	

Table 4 Table obtained by restating Table 3 in terms of ${}_nC_i$ contacts i .e. D_0, D_1, ..., D_4.

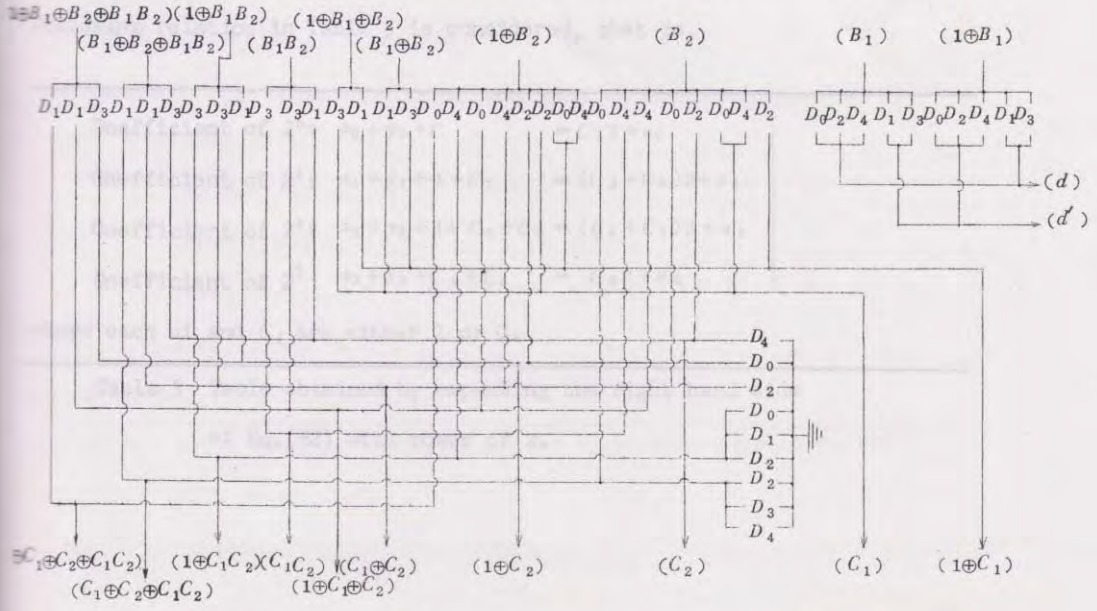


Fig. 14 4 input parallel binary adder represented by D_i.

When $n \geqq 4$ in (43) as this case, if a desired circuit is constructed by the contacts x, y, z and u etc., the number of contacts become very large. Therefore, it is better to construct it for practical use by the contacts D_i. The circuit of D_i is as shown in Fig. 11. And even if such the circuits D_i are settled in each digit, it takes only one step time through all digits.

§3.5 2 Input Parallel Decimal Adder (Binary Coded Decimal)

Let X and Y be non negative decimal integer represented by

$$\left.\begin{aligned} X &= x_3 2^3 + x_2 2^2 + x_1 2 + x_0 \\ Y &= y_3 2^3 + y_2 2^2 + y_1 2 + y_0 \end{aligned}\right\} \tag{80}$$

i.e. let X and Y be a binary coded decimal number. And let

$$Z = X + Y + C \tag{81}$$

where C is a carry from the proceeding digit. Therefore, considering $Z+6$,

$$Z + 6 = (x_3 + y_3) 2^3 + (x_2 + y_2 + 1) 2^2 + (x_1 + y_1 + 1) 2 + (x_0 + y_0 + C) \tag{82}$$

is obtained. To expand the right hand side of (82) with power of 2, the following relation in Table 5 is considered, that is,

Coefficient of 2^0:	$x_0 + y_0 + C$	$= C_1 2 + u_0$
Coefficient of 2^1:	$x_1 + y_1 + 1 + C_1$	$= (C_2 + C_3) 2 + u_1$
Coefficient of 2^2:	$x_2 + y_2 + 1 + C_2 + C_3$	$= (C_4 + C_5) 2 + u_2$
Coefficient of 2^3:	$x_3 + y_3 + C_4 + C_5$	$= C_6 2 + u_3$

where each ui and C_i are either 1 or 0.

Table 5 Table obtained by expanding the right hand side of Eq.(82) with power of 2.

Here, as $Z+6 \leqq 25$, the equation in the coefficient of 2^3 in Table 5, (*i.e.* only C_6) is enough. Considering the coefficients of higher power of 2 is redundunt. Multiplying the equations of Table 5, by 2^0, 2^1, 2^2, 2^3, respectively and summing up each side of the equations,

$$Z + 6 = C_6 2^4 + u_3 2^3 + u_2 2^2 + u_1 2 + u_0 \tag{83}$$

is obtained. Here the following relation holds, *i.e.*

$$\left.\begin{aligned} C_6 &= 1 \qquad \text{when } Z \geqq 10 \\ C_6 &= 0 \qquad \text{when } Z < 10 \end{aligned}\right\} \tag{84}$$

Now, let Z represented by

$$Z = z_4 2^4 + z_3 2^3 + z_2 2^2 + z_1 2 + z_0, \tag{85}$$

$$z_3 = u_3, \quad z_2 = u_2, \quad z_1 = u_1, \quad z_0 = u_0 \tag{86}$$

hold when $Z \geqq 10$ i.e. $C_6 = 1$, and

$$u_3 2^3 + u_2 2^2 + u_1 2 + u_0 - 6 = z_3 2^3 + z_2 2^2 + z_1 2 + z_0 \tag{87}$$

holds when $Z < 10$ *i.e.* $C_6 = 0$.

From (87)

$$u_3 2^3 + u_2 2^2 + u_1 2^2 + u_1 2 + u_0 = z_3 2^3 + (z^2+1) 2^2 + (z_1+1) 2 + z_0 \tag{88}$$

is obtained. To expand the right hand side of (88) with power of 2, Table 6 is considered.

Coefficient of 2^0:	$z_0 = u_0$
Coefficient of 2^1:	$z_1 + 1 = v_1 2 + u_1$
Coefficient of 2^2:	$z_2 + 1 + v_1 = v_2 2 + u_2$
Coefficient of 2^3:	$z_3 + v_2 = u_3$

where each v_i is either 1 or 0.

Table 6. Table obtained by expanding the right hand side of Eq.(88) with power of 2.

Then from each equation in Table 6 by (Theorem 1)

$$\left.\begin{aligned} u_0 &= z_0 \\ u_1 &= z_1 \oplus 1, \quad v_1 = z_1 \\ u_2 &= z_2 \oplus 1 \oplus v_1, \quad v_2 = z_2 \oplus v_1 \oplus z_2 v_1 \\ u_3 &= z_3 \oplus v_2 \end{aligned}\right\} \tag{89}$$

are obtained. Therefore, from (89)

$$\left.\begin{aligned} z_0 &= u_0 \\ z_1 &= 1 \oplus u_1 \\ z_2 &= u_2 \oplus u_1 \\ z_3 &= 1 \oplus u_1 u_2 + u_3 \end{aligned}\right\} \tag{90}$$

are obtained. Therefore, from (86) and (90)

$$\left.\begin{aligned} z_0 &= u_0 \\ z_1 &= C_6 u_1 \vee C_6' (1 \oplus u_1) = C_6 u_1 \vee C_6' u_1' \\ z_2 &= C_6 u_2 \vee C_6' (u_1 \oplus u_2) = C_6 u_2 \vee C_6' (u_1 \oplus u_2) \\ z_3 &= C_6 u_3 \vee C_6' (1 \oplus u_1 u_2 \oplus u_3) = C_6 u_3 \vee C_6' (1 \oplus u_1 u_2 \oplus u_3) \end{aligned}\right\} \tag{91}$$

are obtained. Each equation in Table 5 can be considered as special cases of 3 input binary adder mentioned in §3.3, *i.e.* for example, $x_2 + y_2 + 1 + C_2 + C_3 = (C_4 + C_5)\,2 + u_2$ is a special case of it in which one of 3 input is a constant 1. Here, of course, the equation of coefficient of 2^0 is 2 input binary adder mentioned in §3.2. Therefore, constructing the desired circuit by applying the circuits mentioned in §3.2 and §3.3 and considering (91), Fig. 15 is obtained. This is a decimal parallel adder which is operated by 1 step through all decimal digits.

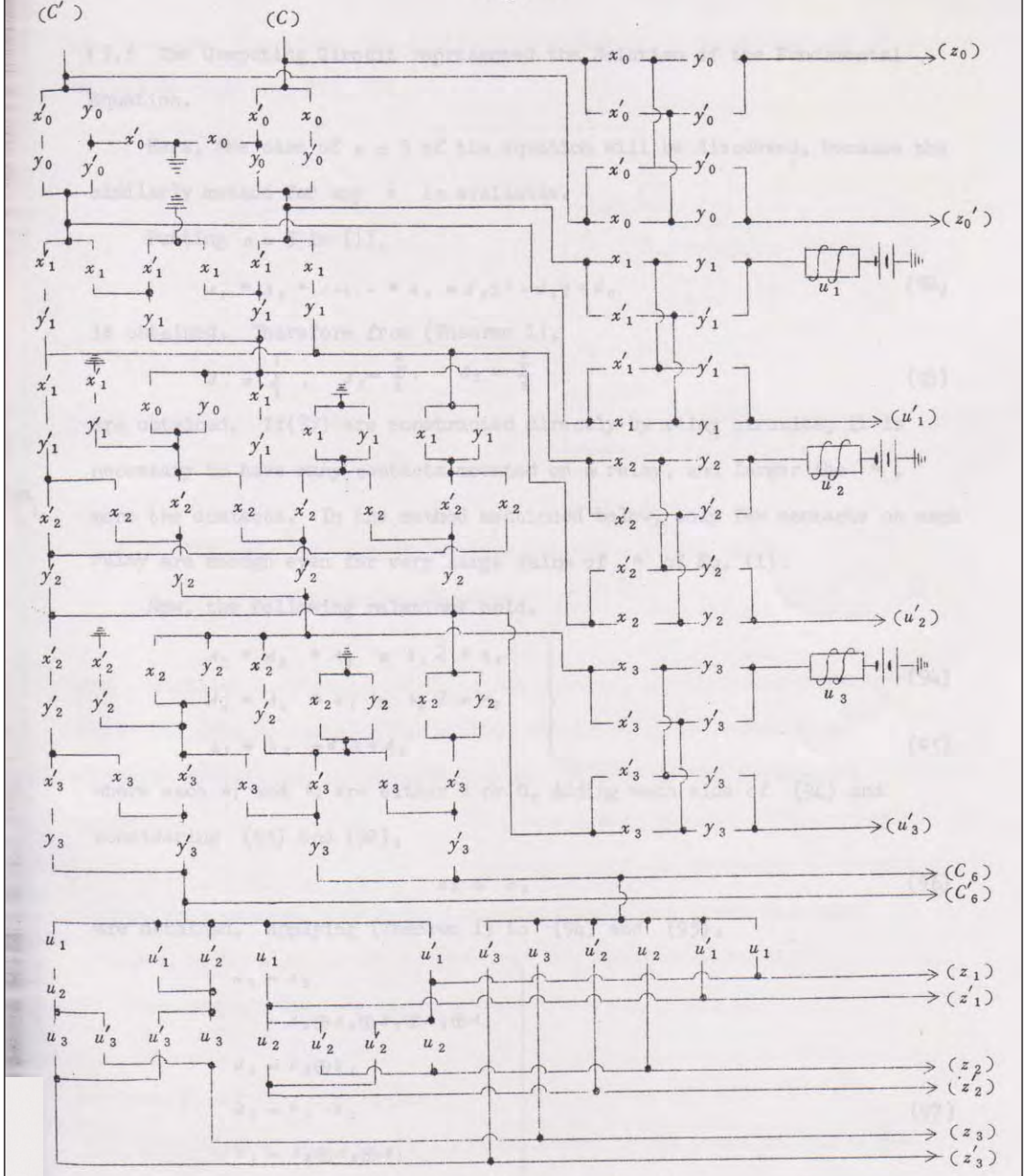


Fig. 15 2 input parallel decimal adder.

§3.6 The Computing Circuit represented the Solution of the Fundamental Equation.

Here, the case of $n = 5$ of the equation will be discussed, because the similarly method for any n is available.

Putting $n = 5$ in (1),

$$A_1 + A_2 + \cdots\cdots + A_5 = d_2 2^2 + d_1 2 + d_0 \tag{92}$$

is obtained. Therefore from (Theorem 1),

$$d_0 = \sum_5^1 , \quad d_1 = \sum_5^2 , \quad d_2 = \sum_5^4 \tag{93}$$

are obtained. If(93) are constructed directly by relay circuits, it is necessary to have many contacts mounted on a relay, and larger the n, more the contacts. In the method mentioned below, only few contacts on each relay are enough even for very large value of n of Eq. (1).

Now, the following relations hold.

$$\left.\begin{aligned} A_1 + A_2 + A_3 &= b_1 2 + a_1 \\ A_4 + A_5 + a_1 &= b_2 2 + a_2 \end{aligned}\right\} \tag{94}$$

$$b_1 + b_2 = d_2 2 + d_1 \tag{95}$$

where each a_i and b_i are either 1 or 0. Adding each side of (94) and considering (95) and (92),

$$d_0 = a_2 \tag{96}$$

are obtained. Applying (Theorem 1) to (94) and (95),

$$\left.\begin{aligned} d_0 &= a_2 \\ &= A_5 \oplus A_4 \oplus A_3 \oplus A_2 \oplus A_1 \\ d_1 &= b_2 \oplus b_1 \\ d_2 &= b_1 \cdot b_2 \\ a_1 &= A_3 \oplus A_2 \oplus A_1 \\ b_1 &= A_1 A_2 \vee A_2 A_3 \vee A_3 A_1 \\ b_2 &= A_4 A_5 \vee A_5 a_1 \vee a_1 A_4 \end{aligned}\right\} \tag{97}$$

are obtained. Therefore, the desired relay circuit is constructed as in Fig. 16 by utilizing Fig. 10.

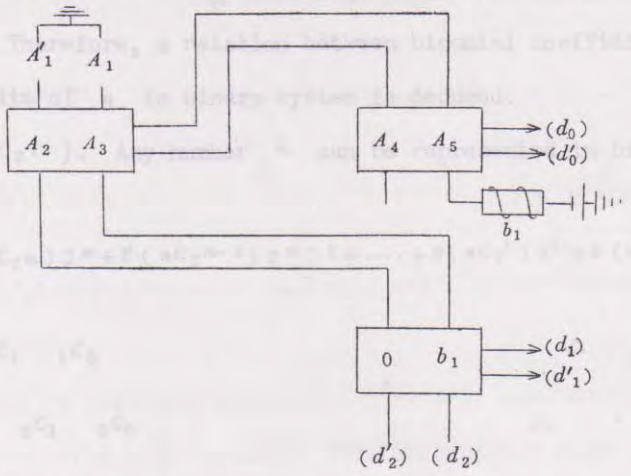


Fig. 16 The circuit representing the solution of the fundamental equation.

When a parallel computing circuit is not desired, any computing circuit[6-8] can be designed by means of the method, mentioned above, because, any computing circuit can be reduced as a special case of the fundamental equations.

§ 4. Selection Matrix

In this section it will be indicated that a well known selection matrix of diode also can be deduced from the fundamental equation.

Considering the case of $A_1 = A_2 = \cdots\cdots A_n = 1$ in (1),

$$A_{r_1} \cdot A_{r_2} \cdots\cdots A_{r_{2i}} = 1$$

is obtained for any combination $r_1, r_2, \cdots, r_{2i}$ out of n.

d_i is defined by Eq.(2). On right hand side of the equation, terms are combined by exclusive-or operation. They are ${}_nC_{2i}$ in number. Each of these, as indicated above, is equal to one. So,

$$d_i = \begin{cases} 1 & \text{when } {}_nC_{2^i} \text{ is an odd number,} \\ 0 & \text{when } {}_nC_{2^i} \text{ is an even number} \end{cases}$$

are obtained. Therefore, a relation between binomial coefficients ${}_nC_{2^i}$ and the i th digits of n in binary system is deduced.

Let $d_i = B({}_nC_{2^i})$. Any number n can be represented in binary system as in (98).

$$n = B({}_nC_{2^m})\,2^m + B({}_nC_{2^{m-1}})\,2^{m-1} + \cdots + B({}_nC_{2^1})\,2^1 + B({}_nC_1) \qquad (98)$$

		${}_1C_1$	${}_1C_0$		
	${}_2C_2$	${}_2C_1$	${}_2C_0$		
${}_3C_3$	${}_3C_2$	${}_3C_1$	${}_3C_0$		
${}_4C_4$	${}_4C_3$	${}_4C_2$	${}_4C_1$	${}_4C_0$	
${}_5C_5$	${}_5C_4$	${}_5C_3$	${}_5C_2$	${}_5C_1$	${}_5C_0$

Table 7 Binomial coefficients table.

		△	△		
	△	•	△		
△	△	△	△		
△	•	•	•	△	
△	△	•	•	△	△

Fig. 17 Figure obtained from Table 7 by replacing some of ${}_nC_r$, each one of which is an odd number, by "△" and the remaining ${}_nC_r$, each one of which is an even number, by " . ".

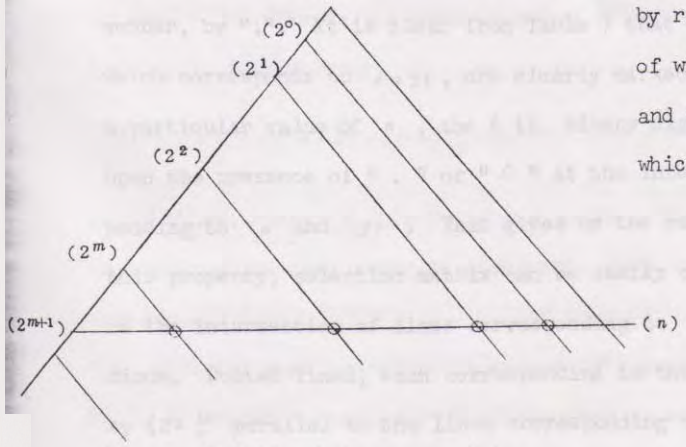


Fig. 18 Relation between any integer n and its digit in binary system.

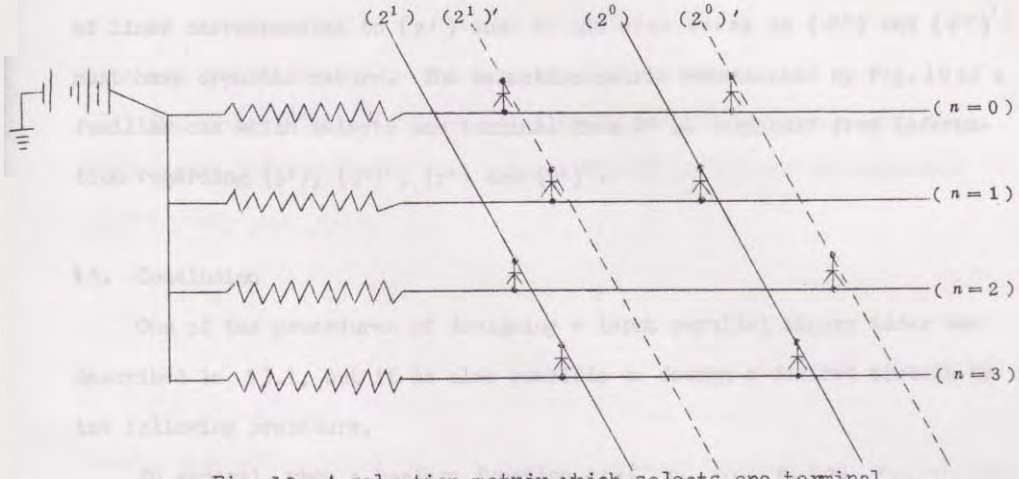


Fig. 19 A selection matrix which selects one terminal from $2^2=4$ terminals from information regarding (2^0), $(2^0)'$, (2^1) and $(2^1)'$.

Table 7 is a systematic arrangement of ${}_nC_r$, for varying n and r. Fig. 17 is obtained from Table 7 by replacing some of ${}_nC_r$, each one of which is an odd number, by " $\triangle$ " and the remaining ${}_nC_r$, each one of which is an even number, by ".". It is clear from Table 7 that each of the inclined line, which corresponds to $r=2^i$, are clearly marked as shown in Fig. 18. For a particular value of n, the i th binary digit, is zero or one, depending upon the presence of " . " or " $\triangle$ " at the intersection of the lines corresponding to n and 2^i. That gives us the value of each d_i. Utilizing this property, selection matrix can be easily constructed. Each of the " $\triangle$ " on the intersection of lines corresponding to 2^i and n is replaced by a diode. Dotted lines, each corresponding to the complement of 2^i denoted by $(2^i)'$ parallel to the lines corresponding to 2^i lines are drawn, as shown in Fig.19. At the intersection of lines corresponding to $(2^i)'$ and n a diode is recorded only if a diode is not recorded on the intersection

of lines corresponding to (2^i) and n and *vice versa* as (2^i) and $(2^i)'$ must have opposite nature. The selection matrix represented by Fig. 19 is a familiar one which selects one terminal from $2^2 = 4$ terminals from information regarding (2^0), $(2^0)'$, (2^1) and $(2^1)'$.

§ 5. Conclusion

One of the procedures of designing n input parallel binary adder was described in § 3.1, but it is also possible to design a desired circuit by the following procedure.

In general, when a boolean function $f(x_1, x_2, \cdots, x_n ; y_1, y_2, \cdots y_m)$ is given, it is possible to expand the function in a form such that

$$f(x_1, x_2, x_n ; y_1, y_2, \cdots y_m) = \bigvee_{i=1}^{2^{2^m}-1} g_i(x_1, x_2, \cdots, x_n)\, h_i(y_1, y_2, \cdots y_m) \quad (99)$$

where $g_i \cdot g_j = 0$ for any i, j $(i \neq j)$ and h_i are all possible boolean functions of variables $y_1, y_2, \cdots, y_m$. Maximum number of h_i can be 2^{2^m}. Suppose there exists i, j such that $g_i \cdot g_i = a \neq 0$. As all the possible functions of $y_1 \cdots, y_m$ are considered above, there exists h_k such that $h_i \vee h_j = h_k$. Making the coefficient of h_i, h_j and h_k as $g_i a'$, $g_j a'$ and $(a \vee g_k)$, respectively,

$$f(x_1, x_2, \cdots, x_n ; y_1, y_2, \cdots, y_m) = \cdots \vee (g_i a')\, h_i \vee \cdots \vee (g_j a')\, h_j \vee \cdots \vee (a \vee g_k)\, h_k \vee \cdots \quad (100)$$

is obtained, where $(g_i \cdot a') \cdot (g_j \cdot a') = 0$ holds. Therefore, if such the procedure is continued as many times as necessary, (99) can be obtained, where $g_i \cdot g_j = 0$ for any i, j $(i \neq j)$.

Applying such procedure to expand (57) about variables $B_1, B_2, \cdots, B_{2i}$, a desired circuit can be constructed by using the expanded formula, and there is no sneak path in the circuit. (cf. Note 2) Then, the circuit may be economized by the method mentioned in § 3.3.

It will be possible to discuss the general theory of iterative circuit[3] in a way similar to the one, dealt with in this paper.

The author wishes to thank Mr. Kazuo Ogata and Mr. S. V. Joshi for a number of helpful discussion in connection with the above development.

References

1. The Staff of the Computation Laboratory of Harvard Univ., "Synthesis of Electronic Computing and Control Circuits," Harvard Univ. Press, Cambridge, Mass.; 1951.

2. W. Keister, A.E.Ritchie and S.H.Washburn, "The Design of Switching Circuits, D.Van Nostrand Co., New York, N.Y., pp.55-64,461-495;1951.

3. E.J.McCluskey,Jr., "Iterative Combinational Switching Networks — General Design Considerations," IRE Trans. on Electronic Computers, vol.EC-7, pp.285-291; Dec.,1958.

4. Y. Komamiya, "Logical Representation of Algebraic Condition in Computing Networks," Sympoium of Switching Circuits and Automaton, Spring Joint Meeting of Institute of Electrical Engineers of Japan, pp.1-9; May, 1958.

5. Y. Komamiya, "Some Properties of Boolean Function, Autumn Meeting of Mathematical Society of Japan (Applied Mathematics Branch), pp.27-31; Oct., 1958.

6. Y. Komamiya, "Theory of Relay Networks for the Transformation between the Decimal System and the Binary System, "Bull. of E.T.L. vol.15, no.8, pp.188-197; Aug., 1951.

7. Y. Komamiya, "Theory of the Computing Networks," Researches of E.T.L. no.526; Nov., 1951, Proceedings of the First Japan National Congress for Applied Mechanics, pp.527-532; May, 1952.

8. M. Got, Y. Komamiya, R. Suekane, M. Takagi and S. Kuwabara, "Theory and Structure of the Automatic Relay Computer E.T.L. Mark II," Researches of E.T.L. no.556; Sept., 1956.

List of Figures

List of Tables

2 Work of Yasuo Komamiya on First Digital Computers in Japan

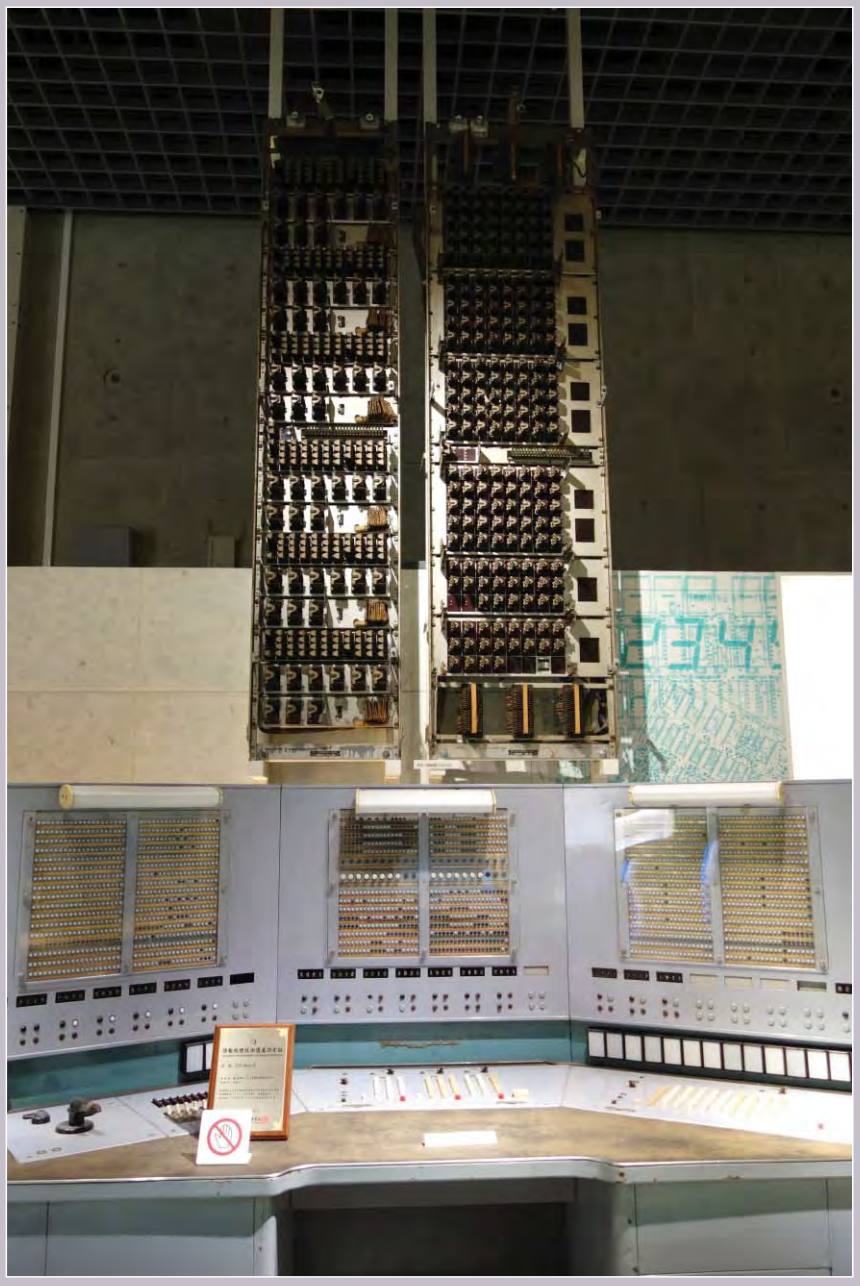
As discussed above, the first digital computer in Japan was ETL Mark 1, the prototype of which was completed in 1952 by the Electrotechnical Laboratory of the Japanese Government. It worked in the asynchronous mode and was based on relays. The reason to select relays was low reliability of vacuum tubes and at that time transistors were still unsuitable for practical applications.

Since this prototype proved efficient, the ETL Mark 2, was developed based on same principles. The team leaded by Mochinori Goto, as a Director, consisted of Yasuo Komamiya, who served as the Chief designer, R. Suekane, M. Takagi, and S. Kuwabara. Yasuo Komamiya was in charge to implement a method developed by Mochinori Goto for solving logical equations. The results implemented in 1951 were incorporated into a theory of electrical computation circuits.

As stated in the virtual Computer Museum of Japan of the Information Processing Society of Japan (IPS) at the web page

http://museum.ipsj.or.jp/en/computer/dawn/0009.html

Mark 2 operated in 40*-bit binary, with a* 200 *word memory capacity for data, using* 22,253 *relays and a completely asynchronous control system. The system performed self-checking of input and internal logic, and finished operation if check results were correct. The operating speed of the relays used in the ETL Mark II was an average of* 10 *msec or higher - which was slower than the average of* 7 *msec for the USA's Harvard Mark II at that time - but as a computer, it was* 4 *to* 5 *times faster. The system had a relay-based memory unit for* 200 *words, and could be expanded up to* 1,000 *words. The detailed design was done exclusively by researchers, and manufacturing was entrusted to Fuji Telecommunications Manufacturing (currently Fujitsu). The input unit tape reader and tape punch were fabricated by Shinko Seisakusho. The system was completed in November 1955, and was used for calculations within and outside the Electrotechnical Laboratory for about 10 years.*



ETL Mark 2

http://commons.wikimedia.org/wiki/File:ETL_Mark_II_RElay_Computer-National_Museum_of_Nature_and_Science,_Tokyo_-_DSC07303.JPG

THEORY AND STRUCTURE OF THE AUTOMATIC RELAY COMPUTER E.T.L. MARK II

By
M. GOTO
Y. KOMAMIYA
R. SUEKANE
M. TAKAGI
and
S. KUWABARA

ELECTROTECHNICAL LABORATORY
JAPAN

THEORY AND STRUCTURE OF THE AUTOMATIC RELAY COMPUTER

E.T.L. MARK II

THEORY AND STRUCTURE
OF
THE AUTOMATIC RELAY COMPUTER
E.T.L. MARK II

Printed at
International Academic Printing Co., Ltd.
(Kokusai Bunken Insatsusha)
No. 10, 1-chome, Fujimi-cho, Chiyoda-ku,
Tokyo, Japan

RESEARCHES
OF THE
ELECTROTECHNICAL LABORATORY
Mochinori GOTO, Director

No. 556

THEORY AND STRUCTURE OF THE AUTOMATIC RELAY COMPUTER E.T.L. MARK II

By
Mochinori GOTO
Yasuo KOMAMIYA
Ryota SUEKANE
Masahide TAKAGI
and
Shigeru KUWABARA

September, 1956

ELECTROTECHNICAL LABORATORY
AGENCY OF INDUSTRIAL SCIENCE AND TECHNOLOGY
JAPAN

SYNOPSIS

Since the end of war, the Mathematics Research Group in the Electrotechnical Laboratory has been studying logical mathematics, especially its applications to relay networks. As an outcome of this study, the theory of relay networks considering the time lag of switching elements was completed by one of the authors, M. Goto, and the theory of the computing networks by Y. Komamiya in 1951. Applying the results of these studies, the Mathematics Research Group have been engaged in the construction of the Pilot Model of the automatic relay computer, E.T.L. (Electrotechnical Laboratory) Mark I completed in 1952, and subsequently have been engaged in the construction of the automatic relay computer E.T.L. Mark II for practical use completed in Nov. 1955. These computers, therefore, have been built on the same principles.

The features of these computers are as follows.

(1) The computers are controlled without electric clock pulses, each relay being energized by its preceding relay in the same fashion as a row of falling nine-pins.

As a results,

(2) The calculating speed of the computers are 4 to 5 times as fast as any other relay computer, and

(3) These computers perform self-checking simultaneously with calculation. If the computer misses a calculation, the unit causing the trouble performs automatically a 2nd trial. Intermittent troubles are omitted automatically and the computer stops only in the event of an essential trouble. Therefore, there can be no trouble as long as the computers are running.

These features were developed from a new computer design based on our research in logical mathematics.

This volume presents the theory and structure of the E.T.L. Mark II.

THEORY AND STRUCTURE OF THE AUTOMATIC RELAY COMPUTER E.T.L. MARK II

Chapter I Introduction

The main members who have been engaged in construction of E.T.L. Mark II and their responsibility are as follows.

	(E.T.L. Mark I)	(E.T.L. Mark II)	(Remarks)
M. Goto	Director	Director of the Construction Committee of E.T.L. Mark II	Director of the Electrotechnical Laboratory and Professor of the Univ. of Tokyo, DR. ENG.
Y. Komamiya	Chief Designer	Sub-Director of the Construction Committee of E.T.L. Mark II and Chief Designer	Chief of the Mathematics Research Group of E.T.L., DR. ENG.
R. Suekane	Assistant Designer	Member of the Construction Committee of E.T.L. Mark II, Designer (logical design)	Member of the Mathematics Research Group
M. Takagi	Assistant Designer	Designer (circuit designer)	Member of the Mathematics Research Group
S. Kuwabara	Assistant	Assistant Designer	Member of the Mathematics Research Group

This volume was written by the following members.

Chapter I by M. Goto
Chapter II by M. Goto and Y. Komamiya
Chapter III
§ III.I by M. Goto and Y. Komamiya
§ III.II by M. Goto

§ III.III by M. Goto
§ III.IV by Y. Komamiya
Chapter IV by Y. Komamiya
Chapter V by R. Suekane
Chapter VI by R. Suekane
Chapter VII by Y. Komamiya
Chapter VIII by M. Takagi
Chapter IX by M. Takagi
Chapter X by M. Goto and Y. Komamiya
Appendix 1 by Y. Komamiya
Appendix 2 by M. Takagi
Appendix 3 by R. Suekane

The editing was done by Y. Komamiya assisted by S. Kuwabara.

We would like to express our deep appreciation to the firm and personnel of the Fuji Communication Apparatus Manufacturing Co. who built the E.T.L. Mark II and the Shinko-Seisaku-Sho who made its in-put equipment, that is, tape readers and perforators, and to Mr. K. Noda, chief of the Electromagnetic Machinery Section of our Laboratory who designed the motor generator, the power supply of this computer, and to Mr. T. Okabe, chief of the Temperature Control Research Group of our Laboratory who designed the air-conditioning process of the room in which E.T.L. Mark II is set up and to the members of the Construction Committee of E.T.L. Mark II of our Laboratory.

The chief of the Physics Division, Mr. M. Hatoyama, and Mr. T. Ito and Mr. N. Mitani, formerly both of whom at the time served as chief of the Applied Mathematics Section of which the Mathematics Research Group is a subdivision, deserve our warm appreciation for their continued interest and advice in support of the project.

Mr. M. Sakai, formerly a member of the Mathematics Research Group rendered invaluable service in the construction of E.T.L. Mark I and Mr. K. Ogata, Mr. K. Takahashi, and Mr. M. Fujinaka, all of whom joined the Mathematics Research Group in the middle of the construction of E.T.L. Mark II, also rendered invaluable service.

Finally, the staff of the Mathematics Research Group wish to express their gratitude to Miss H. Miyagawa who typed the Manuscript and to Mr. O. Katayama, chief of the Publication Group of our Laboratory and his members for publishing this volume.

M. Goto

Electrotechnical Laboratory
Nagata-cho, Chiyoda-ku, Tokyo, Japan.

Chapter II Background of the Construction of E.T.L. Mark II

After the war, we began research on logical algebraic equations, and subsequently on logical functional equations and their applications to relay networks. The solution of logical algebraic equations represents action conditions of relay networks at a fixed moment. But the solution of the logical functional equation is represented as a function of time under given initial conditions. Therefore, it is somewhat similar to the solution of differential equations. Hence, it is called "Logical Mathematics". A theory of relay networks considering time lag of switching elements was completed as an outgrowth of M. Goto's studies in logical mathematics. Thereafter in 1951, Y. Komamiya completed a theory of computing networks with a method which solves usual algebraic conditions by logical mathematics. Applying the results of these studies, the Mathematics Research Group in our Laboratory designed and completed a pilot model automatic relay computer, the E.T.L. (Electrotechnical Laboratory) Mark I in 1952. This computer was the first automatic computer in our country. Subsequently, we engaged in designing the E.T.L. Mark II for practical use and completed it in Nov. 1955. In the construction of these computer, M. Goto served as director and Y. Komamiya as the chief designer. As a result of a novel design based on the abovementioned theories, these computers have the following merits.

(1) There is no circuit waste such as might be caused by a method of trial and error. The circuits are completely designed on the basis of logical mathematics. The computing circuits have the feature that the operate in inverse symmetry about the center line. Therefore, detection and correction of the trouble spots are very easy. These computers perform self-checking simultaneously with calculation. If these computers miss a calculation, the unit causing the trouble performs automatically a 2nd trial. Intermittent troubles are omitted automatically and the computers stop only in the event of an essential trouble. Therefore, there can be no trouble as long as the computers are running.

(2) These computers are controlled without electric clock pulses, each relay being energized by its preceding relay in the same fashion as a row of falling nine pins. Accordingly, there is no time waste owing to time allowance for the width of the clock pulse and of the interval between the clock pulses. Therefore, the calculating speed of the computers is 4 to 5 times as fast as any other relay computer.

E.T.L. Mark I was designed and manufactured by the Mathematics Research Group of our Laboratory and is located in the Tanashi Annex (Tokyo) of our Laboratory.

The construction of E.T.L. Mark II was performed as a *designated research* by the Agency of Industrial Science and Technology under the Japanese Government, and it cost

about ¥36,000,000 (about $100,000). E.T.L. Mark II was designed by the Mathematics Research Group and built by the Fuji Communication Apparatus Manufacturing Company. The input equipment—tape Readers and perforators—was made by the Shinko-Seisaku-Sho. E.T.L. Mark II is located at our Main Laboratory at Nagata-cho in Tokyo.

9.16　論理数学の information theory への応用 (I)

駒宮安男　(電気試験所)

従来，連続的な問題は解析学に乗るので解析しやすいが，不連続的な問題は数学的にも未解決な問題が多く，解析しにくいのである。然るに論理数学は不連続的な問題に応用すると便利なことが多い。此処では，その一応用として，離散的且つ雑音を含む場合の通話量の限界について論ずる。この問題は現在未解決であり，符号化の問題とも関聯して，通信工学は言うに及ばず，逐次計算機等に於ても極めて重要である。

尚，本論文に於て用いる論理記号としては，否定，論理積，論理和，対等を夫々〜，・，∨，⇄ で表わすものとし，記号の強弱は上記の順に左の否定が一番強く，右に行くに従つて弱くなるものとする。又，間違いの虞れなき場合は論理積の記号は省略する。

さて，情報源が離散的且つ雑音を含む場合の通話量の限界を求める問題は，数学的に表現すると次の如くなる。今 code は n 個の二進符号からなるものとし，その最小距離を p とする。而して，

$$\begin{pmatrix} x_{11}, & x_{12}, & \cdots\cdots, & x_{1n} \\ x_{21}, & x_{22}, & \cdots\cdots, & x_{2n} \\ \vdots & & & \\ x_{m1}, & x_{m2}, & \cdots\cdots, & x_{mn} \end{pmatrix} \qquad (1)$$

茲に，各 x_{ij} は0又は1なる値をとるものとする。なる行列を考えるとき，

$$x_{i1}-x_{j2}+x_{i2}-x_{j2}+\cdots+x_{in}-x_{jn}\geqq p \qquad (2)$$

但し　$i\neq j,\ 1\leqq i,\ j\leqq m$

を満足する m の最大値を求めればよいことになる。

さて，m の最大値を求めることは，通常の数学では容易でないが，論理数学を用いて (2) 式を書き換えると便利である。その為，若干の補助定理を先ず述べる。

[定理 1] x,y を二値命題変項とするとき，

$$x-y\rightleftarrows(x\rightleftarrows\sim y)$$

[定理 2] $A_1, A_2, \cdots, A_n$ は 0 又は 1 なる値をとるとき，$A_1+A_2+\cdots+A_p\geqq p$ なる命題を F で表わせば，

$$F\rightleftarrows\bigvee_n^p(A_1A_2\cdots A_p)$$

但し，$\bigvee_n^p(A_1A_2\cdots A_p)$ は $A_1, A_2, \cdots, A_n$ から任意の p 個をとつて論理積し，その凡ての組合せを論理和することを意味するものとする。

以上の定理を用いて，(2) 式を論理式で表わせば

[定理 3] (2) 式を表わす命題を F_{ij} とせば

$$F_{ij}\rightleftarrows\bigvee_n^p(X_{ij}^1X_{ij}^2\cdots X_{ij}^p)$$

茲に　$X_{ij}^k\rightleftarrows(x_{ik}\rightleftarrows\sim x_{jk})$

さて，前述により (2) 式は $i\neq j,\ 1\leqq i,\ j\leqq m$ なる任意の i,j について成立する故，

$$\begin{aligned} &F_{12}F_{13}F_{14}\cdots\cdots F_{1m}\\ &F_{23}F_{24}\cdots\cdots F_{2m}\\ &F_{34}\cdots\cdots F_{3m}\\ &\qquad\vdots\\ &\qquad F_{(m-1)m}\rightleftarrows 1\cdots\cdots \end{aligned} \qquad (3)$$

$(\equiv\mathfrak{U}_m$ で表わすことにす)

が成立する。故に，求める m は $\mathfrak{U}_m\rightleftarrows 1$ ならしめる m の最大値を求めればよいことになる。即ちその最大値を m_0 とせば $m_0<m$ なる任意の m については $\mathfrak{U}_m$ は恒等的に 0 となる。故に $\mathfrak{U}_m$ の $x_{ij}(1\leqq i\leqq m,\ 1\leqq j\leqq n)$ に関する特殊加法標準形の項数が 0 となる m の最小値を求めれば (今，それを m' とす)

$$m_0=m'-1$$

となる。次に，m_0 の評価方法として次の定理を記す。

[定理 4] $F\rightleftarrows\bigvee_n^p(A_1A_2\cdots\cdots A_p)$

$$\rightleftarrows\bigwedge_n^{n-p+1}(A_1\vee A_2\vee\cdots\cdots\vee A_{n-p+1})$$

茲に $\bigwedge_n^{n-p+1}(A_1\vee A_2\vee\cdots\vee A_{n-p+1})$ は $A_1, A_2, \cdots, A_n$ より任意の $(n-p+1)$ 個をとつて論理和し，その凡ての組合せを論理積することを意味するものとする。

[定理 5] $F_{ij}\rightleftarrows\bigvee_n^p(X_{ij}^1X_{ij}^2\cdots\cdots X_{ij}^p)$

$$\rightleftarrows\bigwedge_n^{n-p+1}(X_{ij}^1\vee X_{ij}^2\vee\cdots\vee X_{ij}^{n-p+1})$$

次に，$p=1$ なる場合を考えるに，このときの F_{ij} を F_{ij}' で表わせば，F_{ij}' は明かに

$$F_{ij}'\rightleftarrows(X^1{}_{ij}\vee X^2{}_{ij}\vee\cdots\vee X_{ij}^n)$$

而して，この場合の m_0 は 2^n なることも明かである。

然るに，F_{ij} は[定理 5] によりその積因子に

$$(X_{ij}^1\vee X_{ij}^2\vee\cdots\vee X_{ij}^{n-p+1})$$

を含んでいる故，求める m_0 は

$$m_0\leqq 2^{n-p+1}$$

となる。これで m_0 の重要なる評価式が得られた。

以上でその一部を簡単に述べたので定理の証明等は凡て割愛したが，何れ電気試験所報告等に詳論する積りである。

「情報処理」第17巻第6号別刷　昭和51年6月発行

——日本における計算機の歴史——

リレー計算機 ETL Mark I, Mark II

駒宮安男

社団法人 情報処理学会

Vol. 17 No. 6　　情　報　処　理　　June 1976

解　説　——日本における計算機の歴史——

リレー計算機 ETL Mark I, Mark II*

駒　宮　安　男**

1. 緒　言

ETL（当時の電気試験所，現在の電子技術総合研究所 Electrotechnical Laboratory の略語）Mark I は我が国最初のコンピュータで，Mark II を製作するためのパイロット・モデルであり，ETL Mark II は我が国最初の実用大型機である．

これが完成し得た原因を一言にして言えば，その基礎的研究にあると言えよう．すなわち，終戦以来，当所数学研究室では後藤以紀博士の御指導の下に，初めは自動計算機とは一見何の関係もない論理数学の研究を行って来たが，論理方程式の研究より，論理関数方程式の研究となり，遂にスイッチ素子の遅れを考慮に入れた独特の順序回路理論の研究に一大成果を収めた．

一方，論理数学は不連続的な問題の解析に適していることが次第にわかり，通常の数学と融合して未解決な種々の離散的な問題を解こうとする研究が盛んとなり，その一発展として，昭和 26 年に計算回路理論に成果を収めた．また，自動計算機の制御方式においても，独自のものを考案した．そこで今までの成果を利用して，先ず昭和 27 年に ETL Mark I を研究室員のみの努力によって試作し，極めて良好な結果を得たので，昭和 28, 29 の両年度において実用大型機 Mark II を設計，建設することになり，その詳細な設計（例えば $n=1$〜100 まであるものは，$n=1$ から 100 までの回路を全部設計図に書いた）を全部研究室員のみで行い，その製作を富士通信機製造(株)（現在の富士通）に依頼し，入力装置のテープ読取機，テープせん孔機は新興製作所が製作した．

何しろ，昭和 26 年頃はコンピュータといえば，新聞の海外トピック欄などに数行程度，米国の記事がのる位で，文献もほとんどなく，詳細はよくわからない時代であった．従って，何もかも考えて研究せねばならなかった．すなわち，一般に，数値計算は四則演算に還元できるから，それを判断命令を用いて自動制御できれば，任意の数値計算は実行可能な筈であるといったところから出発して，何も参考にせず，強引に独創的に設計したのである．我々はその制御方式を**将棋倒し方式**と呼んでいたが，後になり蓋をあけてみてわかったことは，非同期方式のことであった．ETL Mark I, Mark II 程，完全な非同期方式のコンピュータは世界的にみて現在でも存在しない，そのため，使用したリレーの動作速度は，当時米国 Harvard Mark II のものが平均7 msec に対し，ETL Mark II は平均 10 msec 以上と遅かったが，コンピュータとしては我が方が 4〜5 倍高速度となった．そして，使用したリレーの総個数は 22,253 個で，当時世界で最大規模の最高速度のリレーコンピュータとなった．全系統において，カム等の機械的機構は入出力装置以外は含まず，非同期方式であるから同期パルスを必要とせず，動作は前段の接点回路網が完成することにより，次段のリレーが動作するようになっており，将棋倒し的に動作が進行する．すなわち，動作は全系統が因果の連鎖で結びつけられているから，回路の誤動作のチェックに極めて都合のよいものとなり，全系統の完全チェック方式を容易ならしめた．

ETL Mark II は完成後，約 10 年間，連続使用し，所の内外の計算に利用され，気象台から依頼されて台風の進路計算などもやり，予報に役立ったのも今では思い出になった．そして，現在は上野の科学博物館にその一部が展示されている．

次に論理数学による計算回路理論の基礎的な部分の大要を記す．

$$A_1+A_2+\cdots+A_n$$
$$=d_m 2^m+d_{m-1}2^{m-1}+\cdots+d_1 2+d_0$$

ここで，各 A_i は既知数，各 d_i は未知数と考え，共に 1 または 0 以外の値はとらないものとする．

上式の任意の d_i は論理数学的に

* Automatic Relay Computers ETL Mark I and Mark II by Yasuo KOMAMIYA (Electrotechnical Laboratory)

** 電子技術総合研究所

$$d_i = \sum_{n}^{2^i}(A_1, A_2, \cdots, A_n)$$

のように解くことができる．ここで $\sum_{n}^{2^i}$ は n 個の $A_1, A_2, \cdots, A_n$ 中より任意の 2^i 個を取り論理積をし，それら各項（${}_nC_{2^i}$ 個の項が存在する）を排他的論理和(exclusiv-or) で結合することを意味するものとする．

例えば

$$\sum_{3}^{2}(A_1, A_2, A_3) = A_1A_2 \oplus A_2A_3 \oplus A_3A_1$$

上式で例えば $n=2$ は半加算器，$n=3$ は全加算器，$n=5$ は3入力2進法加算回路，2入力10進法加算回路，…，一般に n 入力2進法並列加算回路，2進法⇄10進法変換回路などが全く数学的に統一的に設計できるのである．

このような理論を用いて設計したのである．

写真-1 ETL Mark II

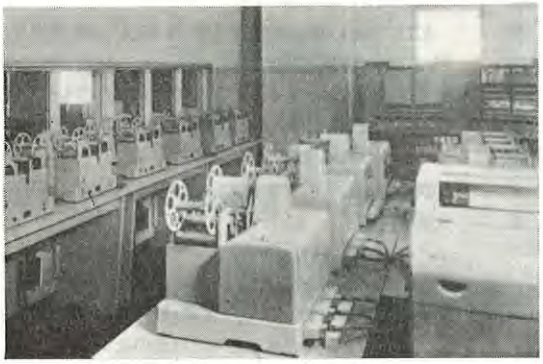


写真-2 オペレータ卓

2. 本機の概要

2.1 リレーを選んだ理由

この時代には，トランジスタはまだ実用にはなっておらず，多数個の素子を使用するコンピュータにおいては，真空管の信頼度は極めて悪く，とうてい使用に耐える部品ではなかった．工業技術院電気試験所としては，速かに完成して，実用に供し，山積している理工学上の問題を速かに処理せねばならなかった．それにはリレーは電話自動交換等により既に多数使用されており，信頼度も高く，保守容易でありかつ寿命も長く低廉であった．

2.2 部品の規格化

2.2.1 リ レ ー

リレーは本機の主要部品であるから，特に入念に設計製作し，寿命も1億回以上（実際の寿命試験の結果は1億5千万回でもまだ使用上差支えなかった）とした．その型の種類も保守の便利のため，なるべく少くし，3種類(**写真-5**) (517頁参照) すなわちS型，C型，G型とし，その使用目的に応じてそれぞれ特性を**表-1** (次頁参照)のようにした．S型は主としてリレー式記憶回路に用いるゆえ，動作速度は出来るだけ速く，消費電力を少くする必要があるが，接点数は少くてよい．C型は主として演算回路，制御回路用で接点数はなるべく多く，動作時間も出来るだけ速いことが好ましいが，演算が終れば切ってしまうので，消費電力は多少，多くてもよい．G型はゲートの開閉に用いるから，出来る限り多接点であること，および消費電力はなるべく少いことが必要であるが，動作時間は他の型に比し，速くなくてもよい．そして，各型とも使用電圧は直流60V，接点電流の許容限界は 500 mA，接点は全て双子接点 (twin contact) とした．

2.2.2 入出力装置

テープ読取機，テープせん孔機，印字機は高速化の必要上，60単位を一動作で行うように新設計した．そのため，紙テープ（セルロイドテープも用いた）は60単位（30単位2行）のものを新しく作製した (**写真-6**) (517頁参照)．また，使用に際しては上記のテープを正副2本を必ず用い，正と副ではせん孔が必ず逆にしてあり，それぞれのせん孔の照

校（チェックのため）完了の信号で動作するようにした．

2.3 回路設計

前述の如く，各単位装置は論理数学の開閉回路理論への応用の成果を利用し，制御方式も当研究室で考案したもので，既にその主要回路は ETL Mark I において実験済のものであるが，すなわち，計算回路は合理的に，数学的に，統一的に設計出来るようになり（従来は視察により回路を求めてたので，原理的には不必要なリレーも，使用せざるを得なかった），演算の所要時間も著しく減少し，かつ制御方式をも含めて，全系統においてカム等により機械的機構は入出力装置以外には含まず，同期パルスを必要とせず，動作は前段のリレーの動作完了による信号により次段のリレーが動作するようになっており，将棋倒し的に進行し，従来の計算機の如く外部からの同期パルスによって制御する同期方式ではない．この将棋倒し的な思想が，回路の誤動作のチェックにも極めて都合のよいもので，本機の完全チェック方式を容易ならしめている所以である．すなわち，原理的にいえば，何処かで誤動作すれば，そこで動作が停止してしまうという性質を持ち，従来の計算機のように動作の如何に拘らず，制御パルスのみが進行してしまう如き方式と根本的に異なる点であり，本機が動作している間は誤計算しないという性質も，根本的にはここに存在するである．そして将棋倒し的なことが，計算速度を極めて迅速にしている一原因でもある．すなわち，パルスにより制御する方式であると，パルスの幅およびパルスとパルスの間隔等に，開閉素子（この場合リレー）の動作遅れ (time lag) を考慮してある時間的余裕を設ける必要がある．何となれば，あまりパルスの幅またはパルスの間隔を狭めると，開閉素子がその time lag のため，動作しなくなり，また動作が乱れてしまうのである．然るに将棋倒し的であると，かかる時間的余裕を強制的に持たせる必要がなく，開閉素子の time lag にばらつきがあっても，前段が動作すれば，次段が動作するので，ある意味では，最小限度の時間で動作が進行することになる．

本機においては，具体的には，チェックは数値の転送 (transfer) によるそれ (transfer check) と，各演算装置のそれとに分れるが，数値の転送に関する transfer check にあっては，送信する数値と受信する数値

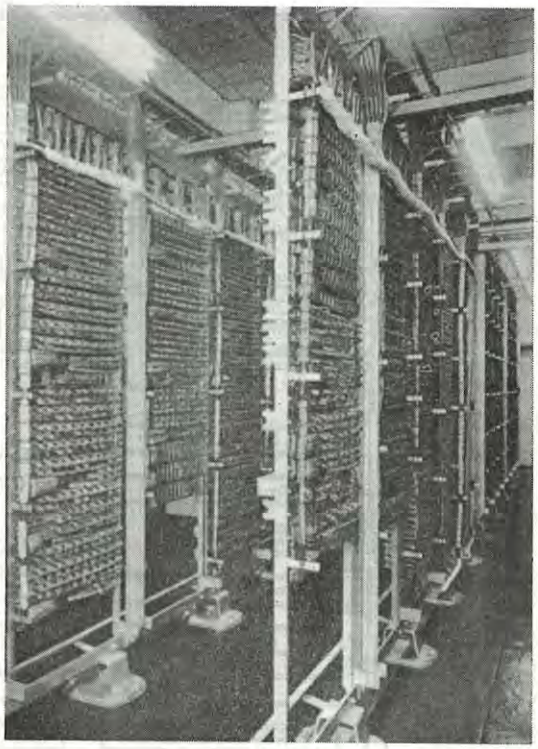


写真-3 リレー室

表-1 各種リレーの特性表

継電器の記号		接点	動作電流 (mA) 動作	動作電流 (mA) 保持	動作時間 動作	動作時間 復旧
storage type	S-1	A 2	25	10	6以下	4以下
	S-3	W 3	30	15	10	4
computer type	C-1	W 6	50	15	8*1	7
	C-2	A 5 W 1	40	15	8*1	7
	C-3	A 12	50	15	8*1	7
	C-4	R 12	50	15	8*1	7
	C-5	A 8 W 2	50	15	8*1	7
	C-6	A 8 W 2 R 2	50	15	8*1	7
gate type	G-1	A 24	30	15	15	6
	G-2	R 24	30	15	15	6
	G-3	A 22 R 2	30	15	15	6
	G-4	A 2 R 22	30	15	15	6

A: make 接点，R: break 接点，W: change over 接点

Theory and Structure of the Automatic Relay Computer E.T.L. Mark II.

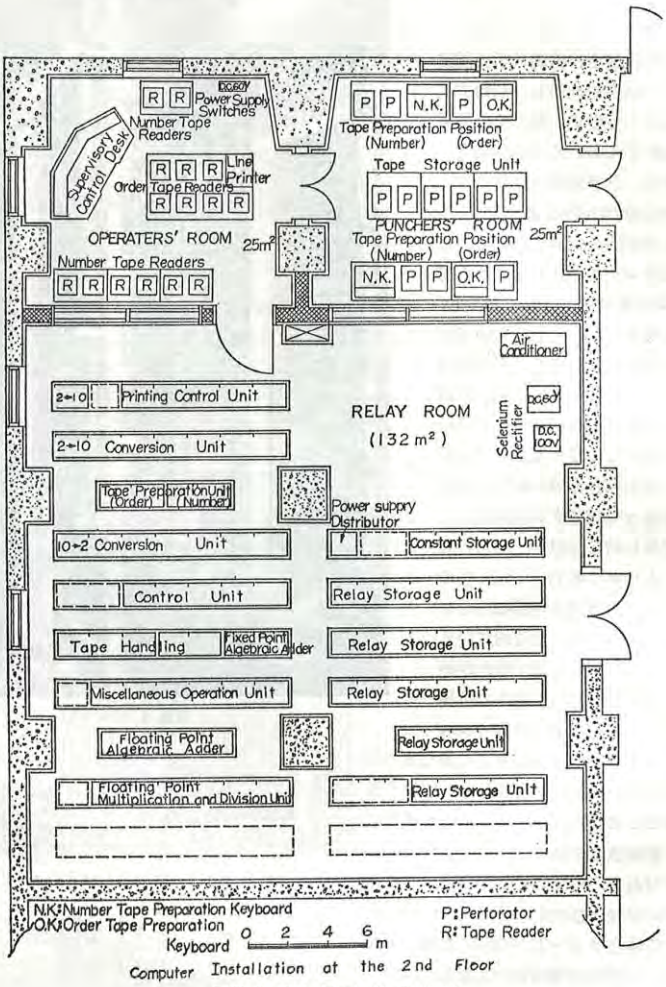


写真-4 ETL Mark II の設置図

との完全なる照校により行い，各演算装置のチェックは，論理数学より導き出した回路が，中心線に対して逆対称の性質があるので，すなわち，一方の端子に電流が流れていれば，対応する端子には流れないという性質から，それぞれの対応する端子の正副の照校により行うのである．そして何れの場合でも，もし誤動作した場合は，その装置のみ反復 (具体的には 2nd trial) して，間歇誤動作 (intermittent error) は自動的に排除されて，動作は進行し，もしも本質的な障害の場合には計算機は停止する．

さて，リレー回路網の型であるが，保守等を考慮して，図-1 (次頁参照) の如き型とし，図-2 (次頁参照) の如き型は採用しない．また，接点は make 接点のみで出来るだけ組む (break 接点を必要とする処は，副のリレーの make 接点を利用する)．また，全系統において，接点回路網は無電流で開閉するから，接点の火花による損耗等はほとんどない．而して，電流を切る接点と雖も 200 mA 以下の電流 (接点の許容電流は 500

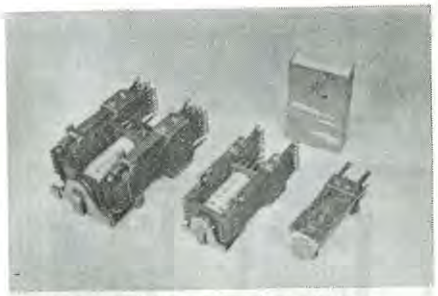


写真-5 左よりG型，C型，S型の各種リレー

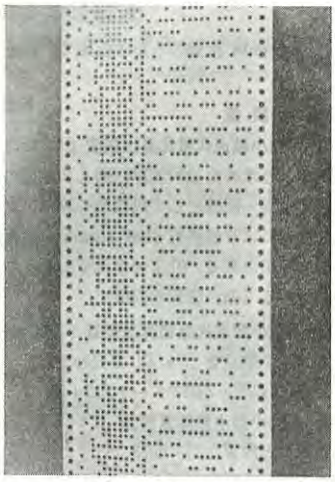


写真-6 60単位（30単位2行）テープ

mA）しか切らず，この程度では火花による接点の消耗はほとんどない．以上の原理図は図-3である．図-3において，$\bar{X}_i$ は X_i の副にして

$$X_i \rightleftarrows \sim \bar{X}_i$$

なる関係がある．ここで記号⇄は対等を表わす．また $f, \bar{f}$ においても同様にして

$$f \rightleftarrows \sim \bar{f}$$

なる関係があり，$f, \bar{f}$ は共に $x_1, x_2, \cdots, x_n$；$\bar{x}_1, \bar{x}_2, \cdots, \bar{x}_n$ の接点回路網である．すなわち，

$$f(x_1, x_2, \cdots, x_n;\ \bar{x}_1, \bar{x}_2, \cdots, \bar{x}_n)$$
$$\bar{f}(x_1, x_2, \cdots, x_n;\ \bar{x}_1, \bar{x}_2, \cdots, \bar{x}_n)$$

ここで，x_i は X_i の make 接点，$\bar{x}_i$ は $\bar{X}_i$ の make 接点である．また

$$\prod_{i=1}^{n} (x_i \oplus \bar{x}_i) = (x_1 \oplus \bar{x}_1)(x_2 \oplus \bar{x}_2) \cdots (x_n \oplus \bar{x}_n)$$

を意味する．ここで⊕は exclusive-or を表わすものとする．

従って，リレー R_K は各 $x_i, \bar{x}_i$ の照校が完成されてから（これは実際には，$f, \bar{f}$ の接点回路網の完成を意味する）励磁され，それにより R_K の make 接点 r_k がオンとなり，リレー $Y, \bar{Y}$ が励磁される．また $\sim r_m$（r_m の否定，すなわち，break 接点）は全ての動作が完了してから，$r_m=1$ すなわち $\sim r_m=0$ となる接点であるから，全ての動作が完了すると，$\sim r_m$ により $Y, \bar{Y}$ の励磁コイルを切ってしまうので，$f, \bar{f}$ なる接点回路網がくずれる前にそれにぶらさがっているリレーの励磁コイルは切れてしまう．従って接点回路網 $f, \bar{f}$ は無電流で開閉し，動作は $R_1, R_2, \cdots, R_m$ の chain により将棋倒し的に進行する．注意すべきことは，動作の開始する以前は，接点回路網 $f, \bar{f}$ は全て make 接点のみで構成されているから，$R_1=R_2=\cdots=R_m=0$ である．

なお，一般的なこととして，電源を入れただけで動作するリレーや，本機の動作中，自己保持しているリレーを極力少くするとか，各リレーに使用する接点数をできるだけ平均化する等に意を用いた．

本機は，設計するに当り，できる限り異質的な部品は障害のもとになる故，使用せず，主要部分は，全くリレーと端子盤のみにて出来ているといっても過言ではない．前述の如くカム等の機械的機構も入出力装置以外には使用していないのもこのためである．

なお，電源は入出力装置を除いては全て 60 V に統一することにした．

2.4 語（数値語，命令語）

本機で取り扱う数値は入出力は 10 進法，内部は2進法の表現である．すなわち，

$$\pm(a_0 10^0 + a_1 10^{-1} + \cdots + a_9 10^{-9}) \times 10^m \qquad (1)$$

ここで，a_i：$0 \leqq a_i \leqq 9$ なる整数，

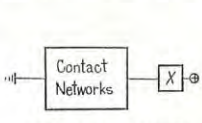


図-1 リレー回路の型

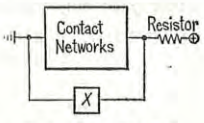


図-2 リレー回路の型

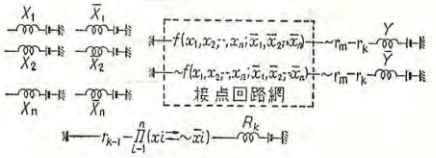


図-3 回路方式の原理図

ただし $1 \leqq a_0 \leqq 9$

m: $-19 \leqq m \leqq +19$ なる整数

また，0は正の符号をつけ $+0\times10^{-19}$ で必ず表現することにした．内部の2進法表現を

$$(S_X, X)2^{(s_x, x)}$$

とすれば

$$X=2^0+X_12^{-1}+X_22^{-2}+\cdots+X_{33}2^{-33}$$

$$x=x_52^5+x_42^4+\cdots+x_12+x_0$$

ここで，$S_X=1$ なら $(S_X, X)\geqq 0$

$S_X=0$ なら $(S_X, X)<0$

s_x についても同様

従って，本機の内部は41本の母線 (bus) を有する浮動小数点 (floating point) の並列計算機 (parallel machins) である．

2.5 記憶装置

2.5.1 リレー式記憶装置

記憶する際，記憶内容を自動的にクリアしてから，新しい数値を記憶し，記憶容量は200語である．(1,000語まで拡張可能であった．)

これは**図-4**のようなリレーの自己保持回路を用いており，I は in-gate，O は out-gate，T はクリアのための接点 (～T は break 接点のこと)，$_hX$ はリレー X の自己保持巻線，S は T を動作させるために必要な補助リレーの接点である．これは transfer check にも利用される．

2.5.2 テープ式記憶装置

60単位同時式テープせん孔機と60単位同時式テープ読取機よりなり，正副のテープをせん孔し，それを必要に応じ読み取るオンラインの記憶装置である．(**写真-7**)．

2.5.3 常数記憶装置

π とか e とかの重要な常数250種類を記憶しているROM (read only memory) である．実際には1は結線されており，0は結線されてないので，リレー式記憶装置の out-gate 接点のみから出来ていると考えてよい．

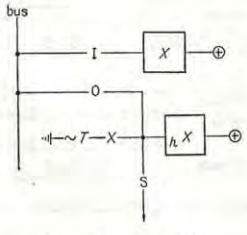


図-4 リレー記憶回路

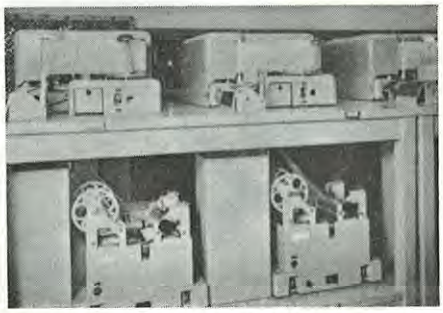


写真-7 テープ記憶装置

2.6 演算装置

2.6.1 浮動小数点代数和算出装置 (0.2 sec)

論理数学より求めた並列加算回路と2数差の絶対値算出回路とを同一回路として代数和を算出出来るようにした．命令により最終桁 (last significant digit) を丸めた答も算出出来る．(0.2 sec) はチェックを含んだ計算時間である (他の装置も同様)．

2.6.2 固定小数点代数和算出装置 (0.11 sec)

ここで固定小数点を (S_Z, Z) で表わせば，

$$Z=Z_{39}2^{39}+Z_{38}2^{38}+\cdots+Z_12+Z_0 \qquad (2)$$

2.6.3 浮動小数点乗除算装置 (0.14—1.39 sec)

これも乗算と除算が同一回路で行うことが出来 (**2.6.1** を組み合わせて構成する)，それぞれの算出所要時間は同じであり，必要ならば，命令により自動的に最終桁を丸めた答を算出する．

2.6.4 数値部吸収置数器 (I)

$(S_X, X)2^{(s_x, x)}$ で表現されている数値を命令により，$(0,0)2^{(s_x, x)}$ または $(S_X, 0)2^{(0, x)}$ に変換する．

2.6.5 指数部吸収置数器 (I)

$(S_X, X)2^{(s_x, x)}$ で表現されている数値を命令により，

$$(S_X, X)2^{(0,0)}$$

に変換する．**2.6.4**, **2.6.5** は数値部と指数部を別々に計算するときに便利である．

2.6.6 数値部吸収置数器 (II)

$(S_X, X)2^{(s_x, x)}$ を (s_z, z) に変換する．すなわち，

$$(S_X, X)2^{(s_x, x)}=(s_z, z)$$

ここで，(s_z, z) は $(0,0)2^{(s_z, z)}$ の指数部

2.6.7 指数部吸収置数器 (II)

$(S_X, X)2^{(s_x, x)}$ を (S_Z, Z) に変換する．

2.6.8 標準数値語化置数器

(S_Z, Z) を $(S_X, X)2^{(s_x, x)}$ に変換する.

2.6.9 符号変更置数器

$(S_X, X)2^{(s_x, x)}$ を命令により

$$-(S_X, X)^{(s_x, x)}$$

または

$$|(S_X, X)2^{(s_x, x)}|$$

または

$$-|(S_X, X)2^{(s_x, x)}|$$

に変換し，また，命令により通常の記憶装置としても使用出来る.

2.6.10 論理置数器

$(S_X, X)2^{(s_x, x)}, (S_Y, Y)2^{(s_y, y)}$ を命令により,

$$(\sim S_X, \sim X)2^{(\sim s_x, \sim x)}$$

または

$$(\sim S_Y, \sim Y)2^{(\sim s_y, \sim y)}$$

または

$$(S_X \vee S_Y, X \vee Y)2^{(s_x \vee s_y, x \vee y)}$$

または

$$(S_X \cdot S_Y, X \cdot Y)2^{(s_x \cdot s_y, x \cdot y)}$$

に変換する．ここで，例えば $x \vee y$ は

$$x \vee y = (x_5 \vee y_5)2^5 + (x_4 \vee y_4)2^4 + \cdots + (x_1 \vee y_1)2 + (x_0 \vee y_0)$$

を意味するものとする．他も同様，これは命令により，通常の記憶装置としても使用出来る.

2.6.11 10進法→2進法変換装置

制御テープ作成用 (0.12 sec) と数値テープ作成用 (0.1—0.8 sec) との2種類あり，それらはオフラインで使用する．たとえば数値テープ作成用は(1)式を鍵を挿すだけで $(S_X, X)2^{(s_x, x)}$ に変換する.

2.6.12 2進法→10進法変換装置 (1.7 sec)

機械内部で計算した結果は $(S_X, X)2^{(s_x, x)}$ の形に表現されているので，それを命令により（1）式または (S_Z, Z) の形に変換し，連結されているラインプリンタで印字する．従ってオンラインで使用される．ここで 1.7 sec はプリント時間も含む.

2.7 入出力装置

2.7.1 60 単位同時式テープせん孔機

2.7.2 60 単位同時式テープ読取機

2.7.3 ラインプリンタ（60 単位同字式行印字機） (写真-8)

2.7.4 数値テープ作成用鍵盤（写真-9）

2.7.5 制御テープ（命令テープ）作成用鍵盤

* 現代風に言えば CPU

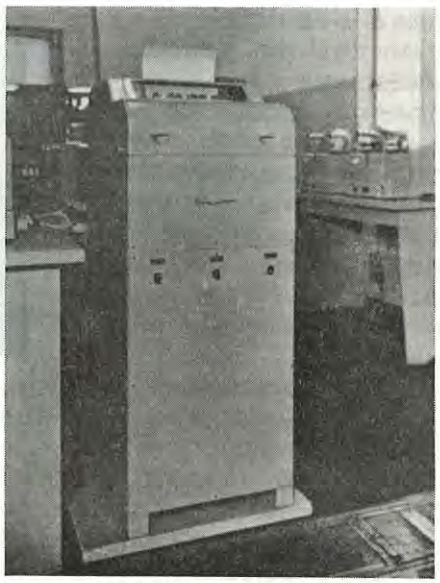


写真-8 60 単位ラインプリンタ

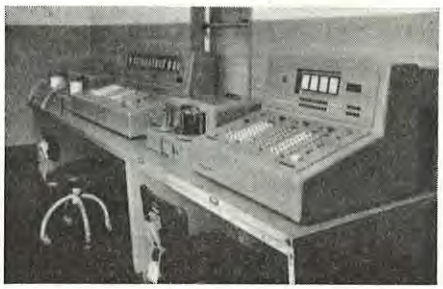


写真-9 テープ作成鍵盤（右：数値テープ用，左：制御テープ用）

2.7.6 操作 卓子(コンソール) (写真-10(次頁参照))

2.8 制 御 装 置*

本装置は制御テープ読取機を通じて，制御テープから与えられた命令を計算機内で，実際に遂行せしめることおよびそれに付随して必要な操作を行うものである．本機においては，各単位装置はその内部に，それぞれの制御装置（例えば代数和算出装置なら，第1オペランド (1st. operand) と第2オペランド (2nd. operand) が入力すると，それ以後は自動的に内部で適当な演算をして，答がその出力に出ている．それは CPU からは何ら制御されない）を有するから，CPU としては母線を通じて適当な装置（記憶装置のことも

当然ある）から適当な装置へ数値を転送すればよいのである．故に，適当な装置の out-gate と適当な装置の in-gate を制御テープよりの命令により適当な順序で開閉してやればよいことになる．これが CPU の重要な動作であり，その制御方式は現代的な述語で言えば**並列操作**の機能があり，**先回り制御**である．もちろん CPU の補助動作として，アドレス変更，判別命令，副命令群の呼出し等を行えるようになっている．そして，それらの諸動作の誤動作に対する対策として，種々の回路が付随している．

CPU の機能を次に列挙する．

（1） 制御用テープ読取機を7台（15 台まで拡張可能）制御し得る．

（2） 任意の制御用テープ読取機より他の任意の制御用テープ読取機を呼び出し得る．また，その際，元の制御用テープ読取機は，自動的に1行だけテープが送られる．

（3） 任意の制御テープ読取機より任意の数値用テープ読取機（7台）が呼び出し得る．

（4） アドレス変更の機能を有する．

（5） 1st. operand≧2nd. operand
1st. operand<2nd. operand
1st. operand=2nd. operand
の判別をし，それにより任意の制御用テープ読取機を呼び出し得る．

（6） 判別命令においては，その制御用テープ読取機のテープを，指定しただけ飛び越して制御し得る（条件付飛び越し）．

（7） 転送に当っては，転送が完全に行われてから次の命令を行う．もし転送が完全に行われないときは，2nd. trial を自動的に行い間歇誤動作は排除される．

以上が CPU の主な機能である．

3. 結 語

当時，米国ではリレー式の大型自動計算機は50万$（電子管式は100万$）前後であったが，それに比し，ETL Mark II は数分の一の予算で完成し得た．

ETL Mark II の建設に当っては，当初随分苦労をしたもので，その当時は，我が国において未だ自動計算機の認識も現在のように盛んではなく，製造業者も，海のものとも，山のものとも決定しかねて，我々はその認識を高めさせるのに努力をしたものである．今から思うと，筆者と末包良太君（現山梨大学教授，当時当所数学研究室員）とが共々，リレー式自動計算機の回路理論，自動計算機一般に関する世界の現状等を3日間にわたり富士通で講演をしたことや，それ以後，Mark II の建設に入り，製造業者の人々と種々ディスカッションしたこと等も楽しい思い出であるが，全く大変なことであった．なにしろ数ケ月，当所数学研究室員（当時総員5人）が富士通の一室に詰めきりになり，そこに富士通よりトレーサーを数人かりて，我々が設計したものをすぐトレースするといった状態であった．

写真-10 操作卓子（コンソール）

我々が我が国におけるコンピュータの草分け時代より参画出来，コンピュータ工業の確立に一地歩を印し，就中，ETL Mark II が我が国のコンピュータの契機となり，土台となったことは喜びに絶えないところである．

擱筆するに当り，後藤以紀先生より終始懇切なる御指導を戴き，末包良太，高木正英（現在，成蹊大学教授），桑原繁（現，富士通社員）の諸君等をはじめとする当所数学研究室員が献身的な努力をされたこと，および富士通をはじめ各方面の多数の人々の計り知れない御協力に対して深く感謝する次第である．

参 考 文 献

1) 駒宮：電気計算回路理論，電試研報 No. 526（昭 26-11）．
2) M. Goto, Y. Komamiya, R. Suekane, M. Takagi and S. Kuwabara: Theory and Structure of the Automatic Relay Computer E. T. L. Mark II, 電試研報 No. 556 (Sept. 1956)

（昭和51年3月17日受付）

電気学会大学講座

電子計算機

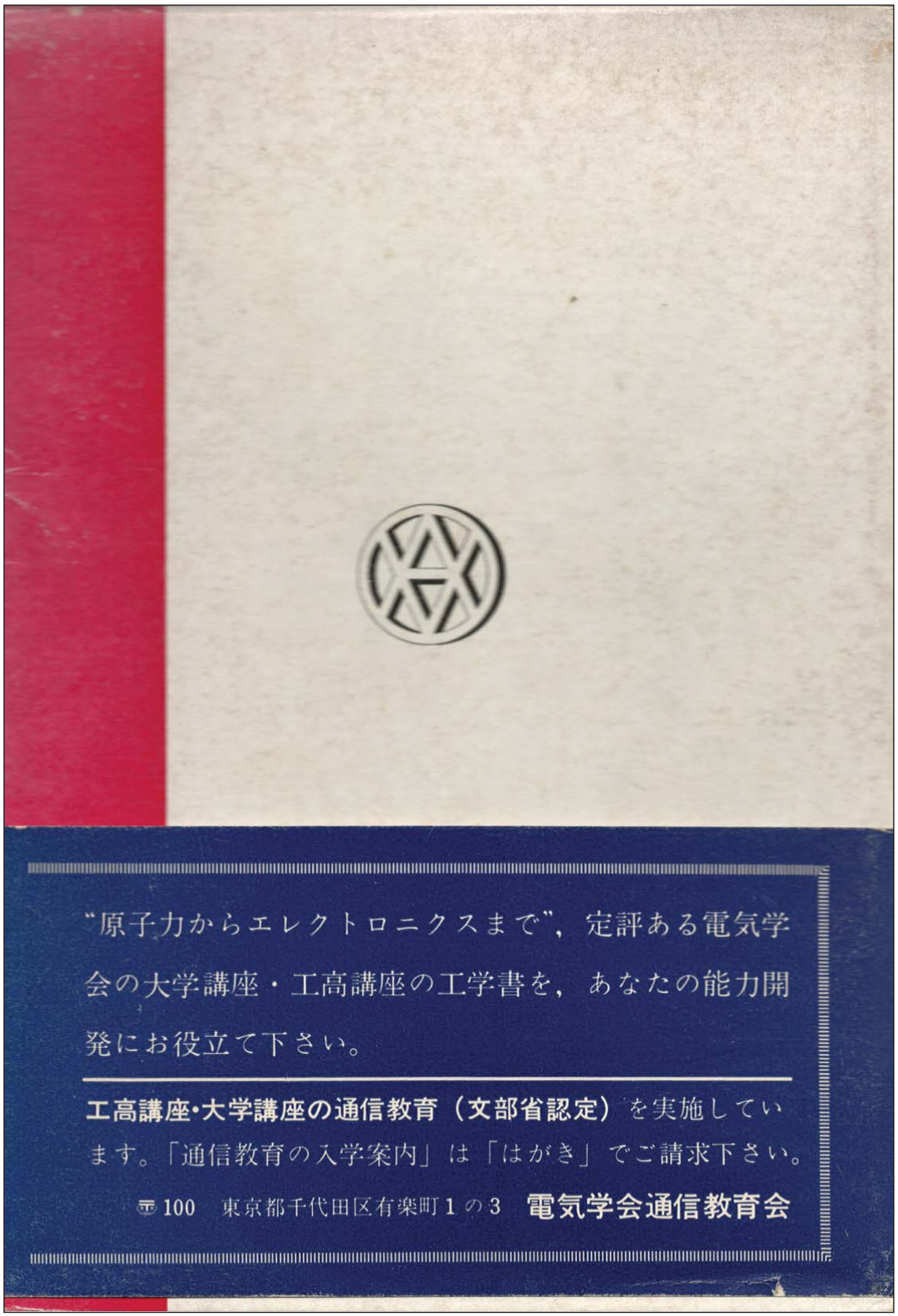
Digital Computer

電子計算機

—執筆委員— 工学博士 駒宮安男(電子技術総合研究所)

論理数学を深く突込み，ハード全域からソフトに及ぶ情報処理体系の核心を解説し，さらに機械の知的能力や自己増殖等，明日の問題を探る。

——全国学校図書館協議会選定図書——



電子計算機
Digital Computer
電気学会
電子計算機
電気学会

電気学会大学講座

電 子 計 算 機

Digital Computer

執 筆 委 員

電子技術総合研究所　工学博士　駒 宮 安 男

電 気 学 会

序　　言

本講座は電気学会が，その事業の一つとして1947年抜山会長の時代に開設したもので，その目的は向学の熱意に燃えながらも，通学の機会に恵まれない青年諸君に対して，大学程度の電気工学を学修する便宜を与え，わが国の電気工学の進展に寄与し得る優秀な技術者を１人でも多く養成しようとするにある。

電気学会は1888年に創設され，電気学術ならびに，その応用の進歩発達を図り，もって文化の向上に寄与することを目的とする学会であって，その会員にはわが国の電気工学および工業の第一線に立つ技術者を網羅している。

本講座の編修に当っては，各講座ごとにその専門の技術家と多年教育に携っている老練な学者とから成る編修委員会において慎重審議の上決定した大綱に従って，それぞれ分担執筆し，さらに数名の編修委員が，全部を通覧して完璧を期している。なお，完結した講座の教科書は再検討を加えて新事項を追加するなど，一層完全なものにすることに努力を怠らない。

したがって，完成した教科書は内容の豊富なことと，記述の懇切正確な点は他に類がないといえよう。これにさらに指導委員会の学習指導書および会報による適切な指導によって受講者の自修を容易にし，なおその質疑に対する回答もそれぞれ最適任者をわずらわすなど，通信教育の効果を上げることに留意されている。受講生諸君においてもこれらの諸特典を十分に活用されて学習の目的を達せられることを希望する。

なお，本講座の教科書は多数の大学において教科書として採用されている。大学の講義時間に比べて紙数が多過ぎるくらいであるが，これは大学卒業後においても実務の参考書としても役立つ程度に豊富な内容がもられているからであって，大学院の修士課程または一般の技術者の再教育にも利用し得るものである。それらの便宜のために単独頒布もすることになっている。

講座開講以来の受講生の数は万を越え，単独講入者に至っては数十万に達し，本事業もようやく軌道にのり，わが国電気工学および工業に寄与するところが少なくないといえよう。

終に本講座の開設ならびにその後の推進に尽力された本会歴代の役員諸氏に対して敬意を表するとともに，教科書，学習指導書ならびに会報の執筆および編修の実務に携って努力された諸君に厚く御礼を申し上げる。

編修委員長　尾　本　義　一

国産大形電子計算機

の位あれば，原理的には充分なのであろうか，といった理論的問題はいわゆるチューリングの機械により考察出来るのである（詳細は **14.1** 参照）。

本章を終るに臨み，電子計算機の歴史的発展経過について述べる。

四則演算を機械を用いて行なうという考えは昔からあったが（算盤もその一つである），計数形自動計算機，すなわち，四則演算のみならず，一連の数値計算を遂行する機械の着想はイギリスの数学者バッベイジ(1) に源を発する。彼は自動計算機を機械的な方法で製作しようと試みたが，当時の技術としては純機械的な方法にたよらざるを得なかったため，完成するにいたらなかった。しかし，機能としては現在の電子計算機とほとんど同じことを考えていたことは誠に驚嘆に値する。

アメリカにおいては，1890年ホレリス(2) がせん孔カードを用いて統計とか会計処理を行なう計算機を考案し，これが現在の IBM 組織の基となった。これと独立に1908年アメリカ国勢調査局のパワーズ(3) がやはりせん孔カードを用いて国勢調査に利用する機械を考案し，これがレミントランド(4)の事務組織の基となった。

しかし，真に現代的な意味での電子計算機のはじまりは1937年ハーバード大学(5)のエイケン(6)がIBMと協力して Automatic Sequential Control Calculator（略称 ASCC）と称する Harvard Mark I（ハーバード第1号機）を製作し，1944年これを完成したことによる。実に第2次大戦の終戦1年前のことである。これは電気機械式ともいうべきものである。

ハーバード Mark I の成果により，いままで，人力では長時間を要した計算が驚異的に早くなったので，計数形自動計算機の威力がにわかに認識され，一躍脚光をあびるにいたった。同大学では継電器式の Mark II(1945—1948)，真空管式の Mark III(1950年末)，次いで**磁気ドラム**(7)を記憶装置とする Mark IV を完成した。

一方，1946年ペンシルベィニヤ大学(8)のエッカート(9)，マークリイ(10)等はハーバードMark Iを真空管におきかえたともいうべき Electronic Numerical Integrator And Computer（略称 ENIAC）なる電子計算機を製作した。これは18 000本の真空管を用いて消費電力150 kWという巨大なものであった。

(1) Babbage, 1792—1871　(2) Herman Hollerith　(3) J. Powers
(4) Remington Rand　(5) Harvard University　(6) H. H. Aiken
(7) magnetic drum　(8) University of Pennsylvania　(9) J. P. Eckert
(10) J. W. Mauchly

1945年，アメリカのプリンストン(1)の高級科学研究所(2)の有名な数学者フォンノイマン(3)は**プログラム記憶式**(4)なる概念を考えだし，ペンシルベィニヤ大学と協力して，Elecronic Discrete Variable Automatic Computer(略称EDVAC)を完成した。このプログラム記憶式は，データ（数値）と計算順序を与える命令とは一見非常に異なるように見えるが，命令も符号化すれば，符号化している数値と形式的には全く同一に計算機内で取り扱えるので，あらかじめ命令をも記憶装置に記憶させてから(記憶容量の大きい記憶装置が出来るようになったから，このようなことが実現出来る)，計算を実行する方式である。これにより計算機の融通性が飛躍的に拡大する。すなわち，命令自体にも演算をほどこし，命令を必要に応じて変更することが可能である。また，入出力装置は，現在，機械的なものに頼らざるを得ないため，その速度は高々m sec程度でしかないが，電子計算機内部での計算速度はそれよりはるかに速く（たとえばμsec程度，最近はnano sec程度），必要に応じて命令をその都度機械にいれていたのでは機械の内外で速度のアンバランスを生じ，全体として計算時間が長くなるが，最初に全部命令を記憶装置に記憶させてしまえば，以後はすべて計算機内部の速度，すなわち，電子的速度で計算が遂行されるので，計算時間全体は非常に速く能率的になる(詳細は**第10章**，**第12章**参照)。

わが国においては，1940年代に東京大学山下英男などにより継電器を用いた画線式統計機が完成された。

計数形自動計算機については，電気試験所の後藤以紀および筆者等により，継電器式の試作機第一号（Pilot Model：略称 ETL Mark I，ETLは Electrotechnical Laboratory，すなわち，電気試験所の略号）を製作し，1953年に完成した。これはわが国最初の自動計算機である。次いで後藤等は1953年よりわが国最初の実用大形機ETL Mark IIを設計し，1955年完成した。この完成がわが国の計算機ブームの源となった。

一方，1956年富士フィルム株式会社の岡崎は真空管式の Fujic を完成した。1954年東京大学後藤英一により計算機素子パラメトロンの発明があり，当時きわめ

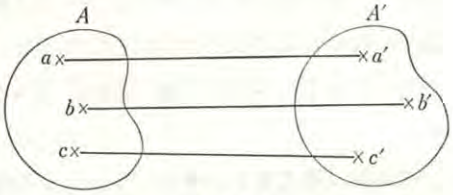
(1) Princeton (2) Institute for Advanced Study (3) J. von Neumann
(4) stored program system

た，さらに誤りがあるということがわかったら，それを正しく訂正することが出来ないものであろうか。前者を**誤り符号の検出**(1)といい，後者を**訂正**(2)という(3)~(9)。以下にこのような問題について少しく述べることにする。

一般に数値の**集合** $A = \{0, 1, 2, \cdots\cdots, (N-1)\}$， 2進符号の集合$A'$があるとする。集合 A の要素の個数は N なるゆえ，A の各要素を A' の各要素に対応をつけるためには，A'の各要素が m ビットからなる2進符号とすれば，

$$N \leqq 2^m \qquad (2.3.1)$$

が成立するような m でなければならない。何となれば，m ビットからなる2進符号の個数が 2^m 個通り存在するから，$N \leqq 2^m$，すなわち，A' の要素の個数が A の要素の個数より少なくないことを要するからである。



第 2.3.1 図

いま，a を A に属する任意の要素とすれば（これを $a \in A$ または $A \ni a$ で表わす），a を表わす2進符号，すなわち，a に対応させる2進符号は A' 中のどの要素に対応させてもよいわけである。もちろん，一度，対応のさせ方を決めてしまえば，以後はそれに従わねばならないが，その対応の仕方は種々考えられる。たとえば，数値の0を2進符号（0 0 …… 0）に対応させる必要は必ずしもない。数値に，それを2進法で表わしたものを対応させるのは，対応のさせ方の一例にすぎないのである。

さて，A の各要素に A' の各要素を一義的に対応させる方法が考えられたとする。

---

(1) detecting (2) correcting

(3) R. W. Hamming : Error Detecting and Error Correcting Codes, B. S. T. J. 29, p.147 (1950)

(4) 駒宮安男：論理数学の Information Theory への応用，電気試験所彙報 17, p. 298 (昭28年4月)

(5) 喜安善市：General Theory of Error Correcting Code, Research and Development Data No. 4, (Aug., 1953) 日本電々公社通信研究所

(6) D. Slepian : A Class of Binary Signaling Alphabets, B. S. T. J. 35, p. 203 (1956)

(7) W. W. Peterson: Error-Correcting Codes, (1961), M. I. T. Press

(8) 嵩 忠雄：独立でない誤りを訂正するある組織符号について，情報処理，1, p. 132 (昭35)

(9) 駒宮安男：General Theory of Most Efficient Codes, Report 163, Digital Computer Lab. Univ. of Illinois (Jun., 1964)

第3章 論 理 数 学

3.1 論理数学の生い立ち

与えられた**開閉回路**(1)の解析をしたり，与えられた特性を有する開閉回路を構成したりするのに，いかなる数学を用いれば便利であるか。開閉回路というのは閉じて(2)いる場合と開いている(3)場合の2種類の動作をする回路であるゆえ，2種類の値のみの演算で出来ている数学を利用すると便利であろうと考えられる。そこで，論理学について考えると，普通使用されている論理では，命題は真であるか，偽であるかの2種類で構成されている。ここにいう命題とは，「雪は白い」や「墨は黒い」などのように「真か偽か区別できる主張の内容」のことである。したがって，論理学を数学的に扱うものがあれば，それは利用出来そうであることに気がつく。実際，論理代数と呼ばれるものがあって，ある条件（命題）が**真**であることを**1**（**真理値**(4)が1）に，**偽**であることを**0**（真理値が0）に対応させて，論理学上の命題と命題との関係を式で表わし，その式を計算することにより推論過程および結果を全く数学的に表わせるのである。したがってこれを開閉回路に応用し，開閉回路を構成している素子が閉じている場合を1に対応させ，開いている場合を0に対応させると，開閉回路の特性は上述の命題と命題との関係式で表わすことが可能となる。

論理代数は**ブール代数**(5)（1847年ブール(6)により論じられた）とか，命題計算とか，記号論理学とか呼ばれており，ラッセル(7)，シュレーダ(8)，ヒルベルト(9)等を経て発展され現代に至っている。現代では，論理代数は数学基礎論，多値論理学（真，偽のほかにも，いくつかの真理値を含む論理学）等のうちに活躍している。

開閉回路，たとえば，継電器回路は，継電器の制御巻線に電流が流れてから，その接点が動作するまでに動作の遅れが必ず存在する。これは動作に因果関係があれば因果関係の伝搬速度は原理的に光速度以上にはなり得ない（相対性理論による）から原理的に必ず存在する。実際には光速度よりはるかに遅い速度であるので，動

(1) switching circuit (2) on (3) off (4) truth value (5) Boolean Algebra
(6) G. Boole (7) B. A. W. Russel (8) E. Schröder (9) D. Hilbert

作遅れもはるかに大きく，普通，周波数特性というのはこれを表わす目安になるわけである。さて，継電器回路はある状態から次の状態に移りゆく際，必ずこの動作の遅れを媒介としてうつりゆき，これを考慮に入れた理論でないと一般には継電器回路の動作特性は完全に表現出来ない。ここで，一般には継電器回路一といったが一**組合せ回路**(1)はこの限りでない（組合せ回路というのは，入力の条件のみにより出力の状態が決定される開閉回路をいう。これに反し，**順序回路**(2)というのは，出力の状態が入力だけで決定されず，回路の内部状態にも関係するものをいう）。

以上のようなことは，継電器回路を例にとって説明したが，何も継電器回路に限ったことではなく，いかなる開閉素子を用いた開閉回路にもあてはまることである。

さて，この動作の遅れを理論体系に取り入れるには，論理代数のままでは不都合であるが，論理代数は計算が容易なのでこれを拡張して**論理数学**と呼び，論理関数方程式の形において動作の遅れを取り入れた理論が1948年後藤以紀により提案され，現在発展途上にある。外国においては，論理代数の範囲を出なかったが，1954年ハフマン(3)は与えられた開閉特性を有する継電器回路を求めるに際して，必要な補助継電器の定め方について発表しているが，その理論には接点の動作の遅れが考慮に入れてある。

論理数学なる術語の起源は上述の通りであるが，現在では論理代数をも含めて広い意味でしばしば使用されるようになった。

論理数学は一般に，不連続的な数を取扱う問題の解析に適しており，符号理論とか種々の応用があり，今後も各方面に応用されるであろう。

本書では，その入門を述べ，特に計算機に必要な初歩的な範囲にとどめる。したがって，その応用は計算回路理論（**第5章**参照）について述べる。それは組合せ回路の範囲である。

3.2 基 礎 理 論

論理数学の基礎理論を組立てる方法は種々あるが，ここでは数学的厳密さよりも

(1) combinatory circuit　(2) sequential circuit：逐次回路とも呼ばれている。
(3) D. A. Huffman

わかりやすさに重点をおいた方法で述べる。

われわれの通常用いている論理は**2値論理**(1)といって，**命題**(2)（たとえば，「分数は有理数である」も一つの命題である）は**真**(3)（成立する）であるか，**偽**(4)（成立しない）であるか，の2種類しかない。普通，数学で用いる論理はすべてこの2値論理である。いま，命題が真であるときは1なる数値を対応させ，偽であるときは，0なる数値を対応させるものとする。

注意 3.2.1　厳密には，命題と，それに対応する値（真理値）とは区別すべきものであるが，特に区別しなくとも矛盾を生じないので，便宜上ここでは命題を表わす記号は，またそのままそれに対応する値を表わすものとする。したがって，以後特に断らない場合は文字はすべて1また0のいずれかの値のみをとるものとする。

さて，いよいよ論理数学に表われる特有の諸定義から述べることにする。

定義 3.2.1　否定(5)　X の否定を $\sim X$, $\neg X$, X', $\overline{X}$ 等の記号で表わし「X でない」と読む。そして

$$\sim X = 1-X$$

で定義する。

否定という概念は，X が真であれば $\sim X$ は偽であり，Xが偽であれば$\sim X$ は真であるから，$\sim X$ を $1-X$ で定義するのが自然である。

定義 3.2.2　論理和(6)　X と Y の論理和を $X \vee Y$, $X \cup Y$, $X+Y$ 等の記号で表わし「X または Y」と読む。そして

$$X \vee Y = \mathrm{Max}\ (X,\ Y)$$

で定義する。

「または」という概念は，X, Y のうち少なくとも一方が真であれば$X \vee Y$は真であるから，$X \vee Y$を，X, Y のうちの大きい方，すなわち，Max (X, Y)(7)で定義するのが自然である。

定義 3.2.3　論理積(8)　X と Y の論理積を $X \cdot Y$, $X \wedge Y$, $X \cap Y$, $X \& Y$ 等の記

(1) two valued logic　(2) proposition　(3) truth　(4) false
(5) negation, not　(6) logical sum, or　(7) Max は maximum の略
(8) logical product, and

号で表わし「X かつ Y」と読む。そして

$$X \cdot Y = \mathrm{Min}\ (X,\ Y)$$

で定義する。

「かつ」という概念は，X, Y が共に真であるときのみ $X \cdot Y$ は真であり，どちらか一方でも成立しない（偽である）ときは $X \cdot Y$ 全体は成立しないから X と Y の小さい方，すなわち，Min (X, Y)[1]で定義するのが自然である。

定義 3.2.4　排他的論理和または論理差[2]　　X と Y の排他的論理和を $X \oplus Y$ なる記号で表わす。そして

$$X \oplus Y = (X \cdot \sim Y) \vee (\sim X \cdot Y)$$

で定義する。

上の定義により X, Y の 1，0 のすべての組合せについて $X \oplus Y$ の値をしらべると**第 3.2.1 表**となる。何となれば，たとえば，$X = Y = 1$ なら上述の諸定義により，

$$\begin{aligned} X \oplus Y &= (1 \cdot \sim 1) \vee (\sim 1 \cdot 1) \\ &= (1 \cdot 0) \vee (0 \cdot 1) \\ &= \mathrm{Min}(1, 0) \vee \mathrm{Min}(0, 1) \\ &= 0 \vee 0 = \mathrm{Max}(0,\ 0) = 0 \end{aligned}$$

第 3.2.1 表

X	1	1	0	0
Y	1	0	1	0
$X \oplus Y$	0	1	1	0

となる。第 3.2.1 表の他も同様にして得られる。第 3.2.1 表を見ると，$X \oplus Y$ なる概念は X と Y が異なるとき，すなわち，$X \neq Y$ なるとき $X \oplus Y$ は真で，X と Y が同じ値をとるとき，すなわち，$X = Y$ なるとき $X \oplus Y$ は偽である。これはまた，次のようにも考えられる。第 3.2.1 表よりわかるように，

$$X \oplus Y = X + Y \pmod 2$$

すなわち，通常の代数学において「X と Y の 2 を法とする和」とも考えられる[3]。これは後に述べるように演算回路等で重要なる概念となる。これはまた，第 3.2.1 表より明かなるように差の絶対値を表わしているとも考えられる。すなわち，

$$x \oplus y = |x - y|$$

---

(1)　Min は minimum の略　　(2)　exclusive-or, or-else

(3)　ここに，mod 2 とは 2 を法とする演算で，$X+Y \pmod 2$ とかけば，X と Y との和を 2 で除したときの剰余を意味する。したがって，この場合は，割り切れれば 0 で，割り切れない場合は 1 となる。

とって論理積したもの，4個全部とって論理積したものうちのいずれかとなる。よって，特殊乗法標準形の総個数は **3.3.1** 特殊加法標準形の場合と同じで

$$ {}_2{}_2C_0+{}_2{}_2C_1+{}_2{}_2C_2+{}_2{}_2C_3+{}_2{}_2C_4 = 2^{(2^2)} $$
$$ = 16 $$

通り存在する。これは n 個の論理変数よりなる論理関数 $f(x_1, x_2, \cdots, x_n)$ にも拡張可能であることは **3.3.1** と同様である。すなわち，2^n 種類の基本和が存在し，$2^{(2^n)}$ 種類の特殊乗法標準形のうちのいずれか一つが任意の $f(x_1, x_2, \cdots, x_n)$ の特殊乗法標準形となる。ついでながら第 3.3.1 表に対応する $f(x, y)$ の特殊乗法標準形のすべての種類を列挙すると，**第 3.3.2 表**となる。

第 3.3.2 表

$x \vee y$ $x \vee \sim y$ $\sim x \vee y$ $\sim x \vee \sim y$	: ($_4C_1$種類)
$(x \vee y)\,(x \vee \sim y)$ $(x \vee y)\,(\sim x \vee y)$ $(x \vee y)\,(\sim x \vee \sim y)$ $(x \vee \sim y)\,(\sim x \vee y)$ $(x \vee \sim y)\,(\sim x \vee \sim y)$ $(\sim x \vee y)\,(\sim x \vee \sim y)$	: ($_4C_2$種類)
$(x \vee y) \cdot (x \vee \sim y) \cdot (\sim x \vee y)$ $(x \vee y) \cdot (x \vee \sim y) \cdot (\sim x \vee \sim y)$ $(x \vee y) \cdot (\sim x \vee y) \cdot (\sim x \vee \sim y)$ $(x \vee \sim y) \cdot (\sim x \vee y) \cdot (\sim x \vee \sim y)$	: ($_4C_3$種類)
$(x \vee y)\,(x \vee \sim y)\,(\sim x \vee y)\,(\sim x \vee \sim y)\,(\equiv 0)$	: ($_4C_4$種類)
$f(x, y) \equiv 1$	: ($_4C_0$種類)

3.3.3 排他的論理和による標準形

1個の論理変数 x を有する論理関数 $f(x)$ は，

$$ f(x) = g_0 \oplus g_1 x \qquad (3.3.10) $$

の形に展開可能である。ここで，g_0, g_1 は適当な 0，1 のいずれかの値をとる定数とする。正確にいえば，

$$ \left.\begin{aligned} g_0 &= f(0) \\ g_1 &= f(0) \oplus f(1) \end{aligned}\right\} $$

である。何となれば，式 (3.3.10) において，

$$ x = 0 \quad \text{なるとき} \quad \text{右辺} = g_0 \oplus g_1 \cdot 0 $$
$$ = g_0 $$
$$ \text{左辺} = f(0) $$

$$\therefore \quad g_0 = f(0) \tag{3.3.11}$$

$x = 1$ なるとき　右辺 $= g_0 \oplus g_1 \cdot 1$

$$= g_0 \oplus g_1$$

$$\text{左辺} = f(1)$$

$$\therefore \quad f(1) = g_0 \oplus g_1$$

$$\therefore \quad g_1 = g_0 \oplus f(1) \qquad \text{(式 (3.2.22) より)}$$

$$= f(0) \oplus f(1) \qquad \text{(式 (3.3.11) より)}$$

これを二つの論理変数を有する論理関数に拡張すると，$f(x, y)$ は，

$$f(x, y) = g_0 \oplus g_1 x \oplus g_2 y \oplus g_{12} xy \tag{3.3.12}$$

のように展開可能である。ここで，g_0, g_1, g_2, g_{12} は 0 または 1 のいずれかの値をとる定数とする（証明は各自試みよ）。

式 (3.3.12) は g_0, g_1, g_2, g_{12} の 4 個の定数を含み，$f(x, y)$ によりそれらの定数が決定される。また，それらの定数は 1 または 0 以外の値をとらないから $f(x, y)$ は総計 2^4 種類存在する。そして定数の個数は論理変数が 2 個なるとき 2^2 個存在する。上述のことは n 個の論理変数を有する論理関数 $f(x_1, x_2, \cdots, x_n)$ にも拡張可能で，その展開式は，

$$f(x_1, x_2, \cdots, x_n) = g_0 \oplus g_1 x_1 \oplus g_2 x_2 \oplus \cdots \oplus g_n x_n \oplus g_{12} x_1 x_2 \oplus g_{13} x_1 x_3 \oplus \cdots \oplus g_{(n-1)n} x_{n-1} x_n$$
$$\oplus g_{123} x_1 x_2 x_3 \oplus \cdots\cdots\cdots\cdots \oplus g_{123\cdots n} x_1 x_2 \cdots x_n \tag{3.3.13}$$

となる。ここで，各 g は 0 または 1 のいずれかの値をとる定数とする。したがって，g の個数は 2^n 個あり，論理関数の総数は $2^{(2^n)}$ 種類存在することになる。また，$f(x_1, x_2, \cdots, x_n)$ が与えられれば，式 (3.3.13) は一義的に決定されることが証明される（証明は略す）。したがって，これも標準形と見なすことが出来，**排他的論理和による標準形**と呼ぶことにする。これは論理積と排他的論理和の組合せのみより構成され，否定を含まないことが特徴である。

例 3.3.3　$A \vee B$を排他的論理和による標準形で表現せよ。

$A \vee B$ を $f(x, y)$ で表わせば，式 (3.3.12) により，

$$A \vee B = f(A, B)$$

$$= g_0 \oplus g_1 A \oplus g_2 B \oplus g_{12} AB \tag{3.3.14}$$

となる。さて，

(1) $A=B=0$ なるときは，

式 (3.3.14) の左辺 $=f(0,\ 0)=0$

式 (3.3.14) の右辺 $=g_0$

$$\therefore\quad g_0=f(0,\ 0)=0 \tag{3.3.15}$$

(2) $A=1$, $B=0$ なるときは，

式 (3.3.14) の左辺 $=f(1,0)=1$

式 (3.3.14) の右辺 $=g_0\oplus g_1$

$$\therefore\quad g_0\oplus g_1=1 \qquad \therefore\quad g_1=1\oplus g_0$$

したがって，式 (3.3.15) より

$$g_1=1\oplus 0=1 \tag{3.3.16}$$

(3) $A=0$, $B=1$ なるときは，

式 (3.3.14) の左辺 $f(0,1)=1$

式 (3.3.14) の右辺 $=g_0\oplus g_2$

$$\therefore\quad g_0\oplus g_2=1 \qquad \therefore\quad g_2=1\oplus g_0$$

ゆえに，式 (3.3.15) より

$$g_2=1\oplus 0=1 \tag{3.3.17}$$

(4) $A=B=1$ なるときは，

式 (3.3.14) の左辺 $=f(1,1)=1$

式 (3.3.14) の右辺 $=g_0\oplus g_1\oplus g_2\oplus g_{12}$

$$\therefore\quad g_0\oplus g_1\oplus g_2\oplus g_{12}=1 \qquad \therefore\quad g_{12}=1\oplus g_0\oplus g_1\oplus g_2$$

ゆえに，式 (3.3.15)，式 (3.3.16)，式 (3.3.17) の諸式より，

$$g_{12}=1\oplus 0\oplus 1\oplus 1=1 \tag{3.3.17'}$$

式 (3.3.15) ないし式 (3.3.17) の諸式を式 (3.3.14) の右辺に代入すれば，

$$A\vee B=A\oplus B\oplus AB \tag{3.3.18}$$

となる。これが求めるものである。

注意 3.3.1　**3.3.1**，**3.3.2**，**3.3.3** に述べた $f(x_1,\ x_2,\cdots,\ x_n)$ の標準形はどれも $2^{(2^n)}$ 種類存在することは上述の通りである。それらは互に 1 対 1 対応してい

る。

次に，任意の論理関数の特殊加法標準形と排他的論理和による標準形との間に成立する重要な関係について述べる。上述したように，任意の論理関数の排他的論理和による標準形を求めることは，かなり厄介な計算をせねばならなかったが，これから述べる定理を用いれば，機械的に簡単な手段で求めることが出来，きわめて便利である。

これから述べることは n 個の論理変数よりなる一般の論理関数について成立することであるが，理解の便のため，3個の論理変数の場合について述べる。

いま，3個の論理変数よりなる特殊加法標準形で表現されている論理関数を $F(x_1, x_2, x_3)$ とし，$F(x_1, x_2, x_3)$ の特殊加法標準形を次のように表現するものとする。

$$F(x_1, x_2, x_3) = f_0 \sim x_1 \sim x_2 \sim x_3 \vee f_1 x_1 \sim x_2 \sim x_3 \vee f_2 \sim x_1 x_2 \sim x_3 \vee f_3 \sim x_1 \sim x_2 x_3 \vee f_{12} x_1 x_2 \sim x_3 \vee f_{13} x_1 \sim x_2 x_3 \vee f_{23} \sim x_1 x_2 x_3 \vee f_{123} x_1 x_2 x_3 \quad (3.3.19)$$

したがって，式 (3.3.3) の3変数への拡張として，あきらかに式 (3.3.19) の各 f は，

$$\left.\begin{aligned} &f_0 = F(0,0,0),\ f_1 = F(1,0,0),\ f_2 = F(0,1,0),\ f_3 = F(0,0,1) \\ &f_{12} = F(1,1,0),\ f_{13} = F(1,0,1),\ f_{23} = F(0,1,1),\ f_{123} = F(1,1,1) \end{aligned}\right\} (3.3.20)$$

を意味している。

次に $f(x_1, x_2, x_3)$ は次式の排他的論理和による標準形により表現されている3個の論理変数よりなる論理関数とする。すなわち，

$$f(x_1, x_2, x_3) = f_0 \oplus f_1 x_1 \oplus f_2 x_2 \oplus f_3 x_3 \oplus f_{12} x_1 x_2 \oplus f_{13} x_1 x_3 \oplus f_{23} x_2 x_3 \oplus f_{123} x_1 x_2 x_3 \quad (3.3.21)$$

ここで，式 (3.3.20) 左辺の各 f は式 (3.3.20) の各 f を意味する。

式 (3.3.19)，式 (3.3.21) 両式より理解されるように，$f(x_1, x_2, x_3)$ は $F(x_1, x_2, x_3)$ の各基本積の係数を係数とし，その基本積中の肯定の変数のみを変数とし，否定のついた変数は除去し，それらを排他的論理和による標準形の各項とした論理関数である。もちろん，f_0 は式 (3.3.19) よりあきらかなように，否定のついた論理変数のみよりなる基本積（すなわち，$\sim x_1 \sim x_2 \sim x_3$）の係数であるから，$\sim x_1$，$\sim x_2$，

(iv) より $G \Longleftrightarrow g$ であるから,

$$g(x_1, x_2, x_3) = g_0 \oplus g_1 x_1 \oplus g_2 x_2 \oplus g_3 x_3 \oplus g_{12} x_1 x_2 \oplus g_{13} x_1 x_3 \oplus g_{23} x_2 x_3 \oplus g_{123} x_1 x_2 x_3 \tag{3.3.24}$$

上述のことは,

$$\begin{array}{ccc} F & \Longleftrightarrow & f \\ & & \| \\ g & \Longleftrightarrow & G \end{array}$$

なる関係である。これから $F = g$ を証明しようとするわけである。

そこで, g を特殊加法標準形により表現した式が $H(x_1, x_2, x_3)$ になったと仮定すると, 実は $H(x_1, x_2, x_3) = F(x_1, x_2, x_3)$, すなわち, $H(x_1, x_2, x_3)$ は $F(x_1, x_2, x_3)$ になるということをこれから証明する。

いま, g を特殊加法標準形で表現した $H(x_1, x_2, x_3)$ を次のように表わすものとする。

$$\begin{aligned} H(x_1, x_2, x_3) = {} & h_0 \sim x_1 \sim x_2 \sim x_3 \vee h_1 x_1 \sim x_2 \sim x_3 \vee h_2 \sim x_1 x_2 \sim x_3 \vee h_3 \sim x_1 \sim x_2 x_3 \\ & \vee h_{12} x_1 x_2 \sim x_3 \vee h_{13} x_1 \sim x_2 x_3 \vee h_{23} \sim x_1 x_2 x_3 \vee h_{123} x_1 x_2 x_3 \end{aligned} \tag{3.3.25}$$

(ii) により G は f を特殊加法標準形で表現した式であるから, x_1, x_2, x_3 のいかんにかかわらず, $G(x_1, x_2, x_3) = f(x_1, x_2, x_3)$ が成立する。したがって, x_1, x_2, x_3 の 1, 0 の種々組合せにより式 (3.3.21), 式 (3.3.23) を比較すれば,

$$G(0, 0, 0) = f(0, 0, 0) \text{ より} \quad g_0 = f_0 \tag{3.3.26}$$

$$G(1, 0, 0) = f(1, 0, 0) \text{ より} \quad g_1 = f_0 \oplus f_1 \tag{3.3.27}$$

$$G(0, 1, 0) = f(0, 1, 0) \text{ より} \quad g_2 = f_0 \oplus f_2 \tag{3.3.28}$$

$$G(0, 0, 1) = f(0, 0, 1) \text{ より} \quad g_3 = f_0 \oplus f_3 \tag{3.3.29}$$

$$G(1, 1, 0) = f(1, 1, 0) \text{ より} \quad g_{12} = f_0 \oplus f_1 \oplus f_2 \oplus f_{12} \tag{3.3.30}$$

$$G(1, 0, 1) = f(1, 0, 1) \text{ より} \quad g_{13} = f_0 \oplus f_1 \oplus f_3 \oplus f_{13} \tag{3.3.31}$$

$$G(0, 1, 1) = f(0, 1, 1) \text{ より} \quad g_{23} = f_0 \oplus f_2 \oplus f_3 \oplus f_{23} \tag{3.3.32}$$

$$G(1, 1, 1) = f(1, 1, 1) \text{ より} \quad g_{123} = f_0 \oplus f_1 \oplus f_2 \oplus f_3 \oplus f_{12} \oplus f_{13} \oplus f_{23} \oplus f_{123} \tag{3.3.33}$$

が得られる。これから各 f を各 g で表現することが出来る。すなわち, 式(3.3.26) より, まず,

$$f_0 = g_0 \tag{3.3.26'}$$

式(3.3.26)，式(3.3.27) 両式から，

$$f_1 = f_0 \oplus g_1$$

これに式 (3.3.26′) を代入すると，

$$f_1 = g_0 \oplus g_1 \tag{3.3.34}$$

同様にして，

$$f_2 = g_0 \oplus g_2 \tag{3.3.35}$$

$$f_3 = g_0 \oplus g_3 \tag{3.3.36}$$

式 (3.3.30)，式 (3.3.26′)，式 (3.3.34)，式 (3.3.35)，式 (3.3.36) の諸式より，

$$\begin{aligned} f_{12} &= f_0 \oplus f_1 \oplus f_2 \oplus g_{12} \\ &= g_0 \oplus g_0 \oplus g_1 \oplus g_0 \oplus g_2 \oplus g_{12} \\ &= g_0 \oplus g_1 \oplus g_2 \oplus g_{12} \end{aligned} \tag{3.3.37}$$

同様にして，

$$f_{13} = g_0 \oplus g_1 \oplus g_3 \oplus g_{13} \tag{3.3.38}$$

$$f_{23} = g_0 \oplus g_2 \oplus g_3 \oplus g_{23} \tag{3.3.39}$$

また，式 (3.3.33) より同様な方法により，

$$\begin{aligned} f_{123} &= f_0 \oplus f_1 \oplus f_2 \oplus f_3 \oplus f_{12} \oplus f_{13} \oplus f_{23} \oplus g_{123} \\ &= g_0 \oplus g_0 \oplus g_1 \oplus g_0 \oplus g_2 \oplus g_0 \oplus g_3 \oplus g_0 \oplus g_1 \oplus g_2 \oplus g_{12} \oplus g_0 \oplus g_1 \oplus g_3 \oplus g_{13} \\ &\quad \oplus g_0 \oplus g_2 \oplus g_3 \oplus g_{23} \oplus g_{123} \\ &= g_0 \oplus g_1 \oplus g_2 \oplus g_3 \oplus g_{12} \oplus g_{13} \oplus g_{23} \oplus g_{123} \end{aligned} \tag{3.3.40}$$

上述のことは，$G(x_1, x_2, x_3)$ が $f(x_1, x_2, x_3)$ の特殊加法標準形による表現式であるという関係から，式 (3.3.26′)，式 (3.3.34) ないし式 (3.3.40) の諸式が得られた。同様な関係が $H(x_1, x_2, x_3)$ と $g(x_1, x_2, x_3)$ に存在する。すなわち，$H(x_1, x_2, x_3)$ は仮定により $g(x_1, x_2, x_3)$ を特殊加法標準形で表現した式である。したがって，H と g の間にも式 (3.3.26′)，式 (3.3.34) ないし式 (3.3.40) の諸式と同様な関係が成立することはあきらかである。すなわち，

$$\left.\begin{aligned} h_0 &= g_0 \\ h_1 &= g_0 \oplus g_1 \end{aligned}\right|$$

$$\left.\begin{aligned} h_2 &= g_0 \oplus g_2 \\ h_3 &= g_0 \oplus g_3 \\ h_{12} &= g_0 \oplus g_1 \oplus g_2 \oplus g_{12} \\ h_{13} &= g_0 \oplus g_1 \oplus g_3 \oplus g_{13} \\ h_{23} &= g_0 \oplus g_2 \oplus g_3 \oplus g_{23} \\ h_{123} &= g_0 \oplus g_1 \oplus g_2 \oplus g_3 \oplus g_{12} \oplus g_{13} \oplus g_{23} \oplus g_{123} \end{aligned}\right\} \quad (3.3.41)$$

が成立する。式 (3.3.41) の諸式と式 (3.3.26′), 式 (3.3.34) ないし式 (3.3.40) の諸式とより,

$$h_0 = f_0,\ h_1 = f_1,\ h_2 = f_2,\ h_3 = f_3,\ h_{12} = f_{12},\ h_{13} = f_{13},\ h_{23} = f_{23},$$
$$h_{123} = f_{123} \quad (3.3.42)$$

が成立する。したがって,

$$H(x_1, x_2, x_3) = F(x_1, x_2, x_3) = g(x_1, x_2, x_3) \quad (3.3.43)$$

これで定理は証明された。

注意 3.3.2 〔定理 3.3.1〕においては, F より出発して $F = g$ を証明したが, F, f, G, g のいずれより出発しても, 定理は証明出来る。

例 3.3.4 上述の定理を利用して, 排他的論理和による標準形を求める例を述べる。いま, $F(x_1, x_2, x_3)$ として,

$$F(x, y, z) = \sim x \sim y \sim z \vee xy \sim z \quad (3.3.44)$$

とする。しからば,

$$f(x, y, z) = 1 \oplus xy \quad (3.3.45)$$

となるが, $f(x, y, z)$ は3個の論理変数 x, y, z よりなる論理関数であるはずであるのに, 実際は $1 \oplus xy$ という2個の論理変数 x, y の論理関数となってしまった。しかし, 〔定理 3.3.1〕を利用するときは, あくまで3個の論理変数よりなる論理関数として, F, f, G, g を扱わねばならない。

したがって,

$$\begin{aligned} f(x, y, z) &= 1 \oplus xy \\ &= f(0,0,0) \sim x \sim y \sim z \vee f(1,0,0) x \sim y \sim z \vee f(0,1,0) \sim xy \sim z \\ &\quad \vee f(0,0,1) \sim x \sim yz \vee f(1,1,0) xy \sim z \vee f(1,0,1) x \sim yz \end{aligned}$$

第5章　計算回路理論[1][2]

5.1　計算回路の基礎となる方程式

いま，

$$A_1+A_2+\cdots+A_n = d_m 2^m + d_{m-1}2^{m-1}+\cdots+d_1 2+d_0 \qquad (5.1.1)$$

ここで，

各 A_i，各 d_i：0または1以外の値はとらないものとする。

m：$2^m \leqq n$ を満足する最大の正整数

なる式を考えると，式（5.1.1）の左辺の各 A_i のとる1または0の値の種々の組合せにより各 d_i の値はいろいろ変化するが，各 A_i を既知数，各 d_i を未知数とみなしたとき，未和数 d_i は論理数学的に解けるのである。ここで解けるという意味は，各 d_i が既知数 A_i を論理演算子（否定，論理和，論理積，排他的論理和等）で結合したもので表現できるということである。

これを基礎理論とすると，種々の計算回路等が n の特別な場合として数学的に統一的に設計できる。

ここでは，その例として，$n=2$ の場合（半加算器），$n=3$ の場合（全加算器），$n=5$ の場合（3入力2進法加算回路，2入力10進法加算回路），$A_1=A_2=\cdots=A_n=1$ の場合（ダイオードの選出回路）について述べる。

今後の記述を簡単にするため，次の記号を定義する。

定義 5.1.1　$\sum_n^r (x_1, x_2, \cdots, x_n)$

この記号は，n 個の論理変数 $x_1, x_2, \cdots, x_n$ より任意の r 個をとって論理積し，そのすべての組合せを排他的論理和で結合することを意味する。たとえば，$n=3$，$r=2$ の場合は，

---

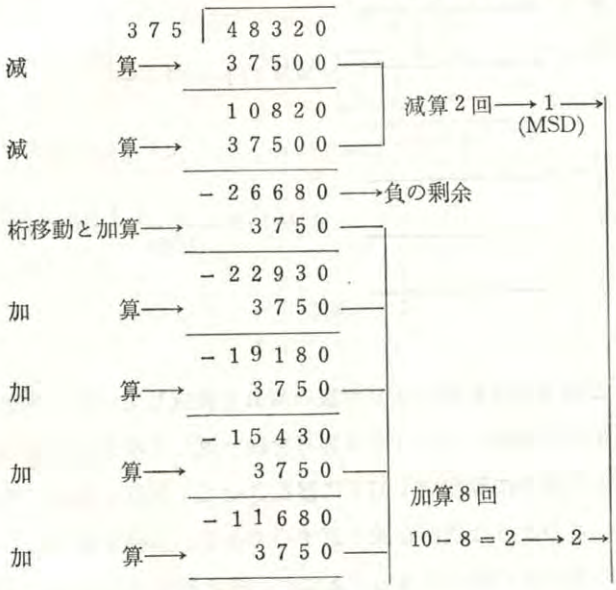
(1) 駒宮安男：電気計算回路理論，電気試験所研究報告 No. 526（1951年11月）

(2) Y. Komamiya : Theory of Computing Networks, Researches of ETL, No. 580 (Sept., 1959)

さて，次に除算の高速化であるか，乗算の場合のようにうまくゆかない。いろいろ提案はあるが(1)~(6)，回路が複雑となりあまり実用的でないので文献のみあげることにする。

浮動小数点方式の場合は除数の指数部から被除数の指数部を減じ，除数の仮数を被除数部の仮数で除して，正規化にともなって最終結果の指数部を補正する必要があるのは言うまでもない。

第6.5.3表 10進数の非復元法による除算の例



(1) M. Goto, Y. Komamiya et al. : Theory and Structure of The Automatic Relay Computer ETL MarkII, Researches of ETL, No. 556 (Sept., 1956)

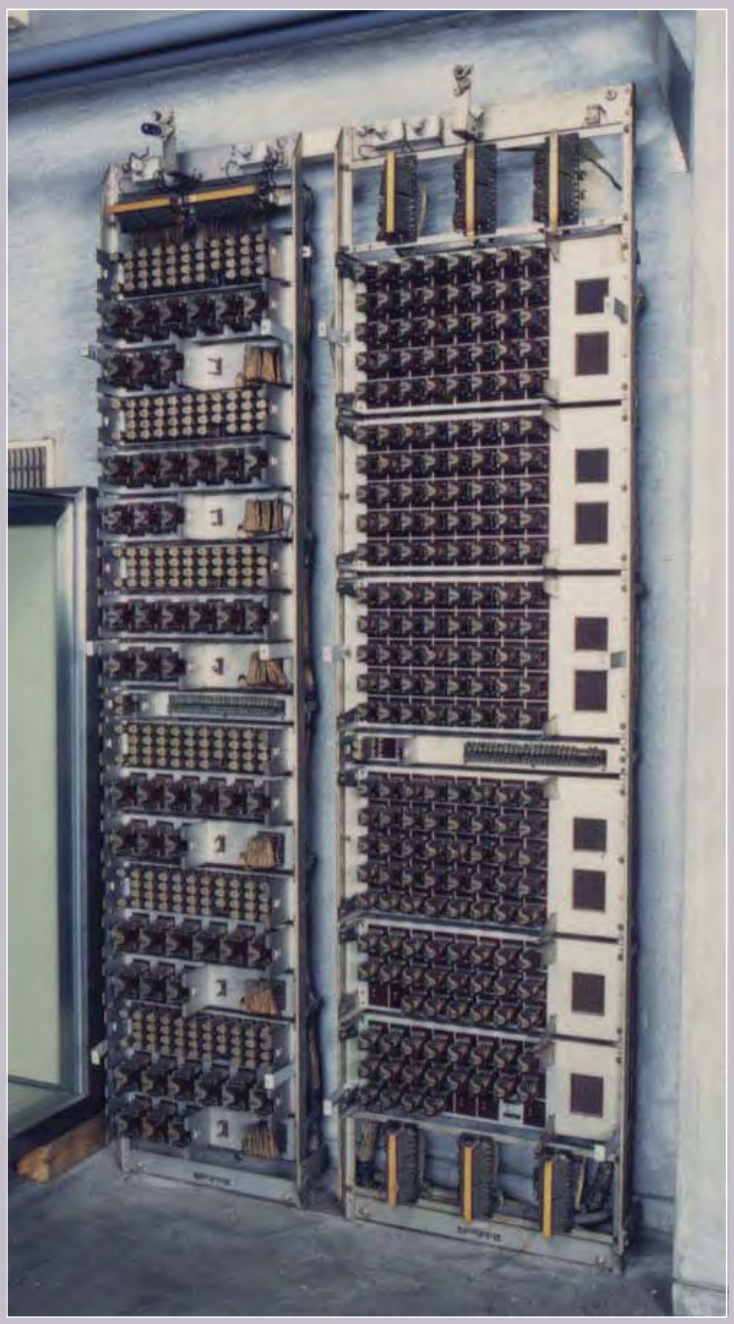
(2) O. L. Mac Sorley : High-speed Arithmetic in Binary Computers, Proc. IRE 49, pp. 67—91 (1961)

(3) J. E. Robertson : A New Class of Digital Division Methods, Trans. IRE, EC-7 pp. 218—222 (1958)

(4) T. D. Tocher : Techniques of Multiplication and Division for Automatic Binary Computers, Quart. J. Mech & Appl. Math. 11 pt 3, pp. 364—384 (1958)

(5) G. Metze : A Class of Binary Divisions Yielding Minimally Represented Quotients, Trans. IRE, EC - 11, pp. 761—764 (1962)

(6) C. V. Freiman : Statistical Analysis of Certain Binary Algorithms, Proc. IRE 49, pp. 91—103 (1961)



ETL Mark 2

http://museum.ipsj.or.jp/en/computer/dawn/0009.html

3 Application of Group Theory to Mathematical Logic by Yasuo Komamiya

The following publication by Yasuo Komamiya

Komamiya, Y., Application of logical mathematics to information theory (Application of theory of group to logical mathematics), *The Bulletin of the Electrotechnical Laboratory in Japanese Government*, April 1953.

can be viewed as the first suggestion of application of group theory to optimization problems and synthesis methods in the area of digital logic.

The application of group theory in this area diverged later in few different directions. An approach was related to the application of the affine group and performing affine transformations over variables to get compact representations of switching functions [10]. This approach evolved in various spectral methods for digital logic starting in pioneering work of several authors [2], [3], [8], [9], [11], and applied for solving various problems as classification, decomposition, optimization, synthesis of switching functions, and other tasks in switching theory and circuit design.

Another related approach was developed through relationships with spectral methods in signal processing [4], [5], leading to spectral logic as a subdiscipline within the theory of digital systems, see for instance [6] and references therein.

A different approach towards the usage of group theory in logic circuit design was developed in a series of publications discussing the design of logic circuits by conservative logic elements. Since by definition the outputs of conservative logic elements are permutations of inputs, the underlying algebraic structure is selected as the symmetric group of permutations and related non-Abelian groups [13], [16], [17], [18], [19], [20], [21]. These publications can be viewed as pioneering work in reversible logic synthesis, since are based on permutations.

In the case of non-Abeian groups, the approach initiated by Komamiya was further elaborated as a method for optimization of decision diagrams, definition of particular functional expressions, and synthesis for regularity from 1996 until now in [22], [24], [25], [26], [27], [28]. For more details, see also [26].

UDC 164:519.4

論理数学の Information Theory への應用

(群論の論理数学への応用)

Application of Logical Mathematics to Information Theory
(Application of theory of Group to Logical Mathematics)

(1953, 1, 31 受付)

駒宮安男*
Y. Komamiya

§1. 緒　言

最近 information theory なるものが登場し，盛んに研究されているが，information 源が離散的な場合は，結局が符号は二進符号と考えられるので，その符号化の問題を解析する手段として，論理数学を応用することを提唱する。

従来 連続的な問題は解析学に乗るので解析しやすいが，不連続的な問題は数学的にも未解決な問題が多く，解析しにくいのである。しかるに，論理数学(二値，一般には有限多値)は不連続的な値を取扱うので，かかる問題に応用すると便利なことが多い。

ここでは，その一応用として，離散的且つ雑音を含む場合の符号化 (coding) の個数の限界について論ずる。この問題は現在，未解決であり，最適符号化 (efficient coding) を求める問題にも関聯して，通信工学は言うに及ばず，逐次自動計算機等においても極めて重要である。

本論文においては，求める限界を与える一般式を論理式(二値)で与え，論理数学(二値)に群論を応用し，その限界においては code はある結合規則の下ですべての原素の位数が2である如き Abel 群をなすことを証明する。

論理数学に群論を応用することは，新しい試みであり，従ってそれに伴う若干の基礎理論をも論ずる。

なお，本論文において用いる論理記号としては，否定，論理積，論理和，対等をそれぞれ ～，・，∨，⇄ で表わすものとし，記号の強弱は下記の順で，左が一番強いものとする。

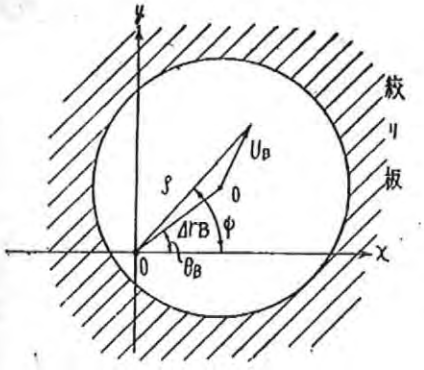
(通常の数学の記号) ＝，～，・，∨，⇄，≡

しかして，間違いの虞れなき場合は，論理積の記号・は省略することがあるものとする。

§2. 一 般 式

information 源が離散的且つ雑音を含む場合の符号化 (coding) の個数の限界を求める問題は，これを数学

* 物理部



第12図 Bのずれ

"コマ性球面収差" 及び "球面収差" に分類される。

(b) 像の移動

その2において述べた如く，像の移動はそれ自身としては電子レンズの収差にはならないが，現在の如く多段レンズ型顕微鏡においては，綜合して収差が現われてくる。その他に電子顕微鏡の調節，操作において，アンペアターンを変化するとその都度各段のレンズが軸を移動するような結果となり，非常に不便を感じることになる。(1952, 12, 12)

参 考 文 献

(1) 例えば，谷安正著 静電場
(2) 井上：電子顕微鏡の軸非対称収差，電試彙 13, 6, p. 170.
(3) 井上：電子顕微鏡用電子レンズの軸非対称収差について(その2) 電試彙 16, 7 p. 501.
(4) 井上：電子顕微鏡電子レンズの軸非対称収差について(その1) 電試彙 16, 6 p. 443.

的に表現すると次の如くなる。

いま，符号 (code) は n 個の二進符号からなるものとし，その最小距離[1] を p とする。しかして，

$$\begin{pmatrix} x_{11}, & x_{12}, & x_{13}, & \cdots\cdots, & x_{1n} \\ x_{21}, & x_{22}, & x_{23}, & \cdots\cdots, & x_{2n} \\ \vdots & & & & \\ x_{m1}, & x_{m2}, & x_{m3}, & \cdots\cdots, & x_{mn} \end{pmatrix} \tag{2·1}$$

(ここに，各 x_{ij} は 0 又は 1 なる値をとるものとする。)

なる行列を考えるとき，

$$|x_{i1}-x_{j1}|+|x_{i2}-x_{j2}|+\cdots+|x_{in}-x_{jn}|\geqq p \tag{2·2}$$

但し　$i\neq j$, $1\leqq i$, $j\leqq m$, $n\geqq p\geqq 1$

を満足する m の最大値を求めればよいことになる。

さて，m の最大値を求めることは，通常の数学では容易でないが，論理数学を用いて (2·2) 式を書き換えると便利であるが，そのため若干の補助定理をまず，述べる。

【定理 2·1】 x, y を二値命題変項と見做すとき，

$$|x-y|\rightleftarrows(x\rightleftarrows\sim y)$$

【証明】

$|x-y|$ を表わす二値命題函数を $f(x, y)$ とせば，

$$|x-y|\equiv f(x, y) \tag{2·3}$$

$$\rightleftarrows f(1,1)xy\vee f(1,0)x\sim y \vee f(0,1)\sim xy\vee f(0,0)\sim x\sim y \tag{2·3'}$$

となる故，(第2·1表) により (2·3') の各係数を決定すれば

x	1	1	0	0
y	1	0	1	0
$\lvert x-y\rvert$	0	1	1	0

(第2·1表)

$$|x-y|\equiv f(x, y)\rightleftarrows x\sim y\vee\sim xy\rightleftarrows(x\rightleftarrows\sim y)$$

$$\therefore\quad |x-y|\rightleftarrows(x\rightleftarrows\sim y)$$

【定理 2·2】 $A_1, A_2, \cdots, A_n$ は 0 又は 1 なる値をとるとき

$$A_1+A_2+\cdots\cdots+A_n\geqq p$$

なる命題を F で表わせば

$$F\rightleftarrows\overset{p}{\underset{n}{\vee}}(A_{r_1}\cdot A_{r_2}\cdot\cdots\cdots\cdot A_{r_p})$$

但し　$n\geqq p\geqq 1$

$\overset{p}{\underset{n}{\vee}}(A_{r_1}\cdot A_{r_2}\cdot\cdots\cdot A_{r_p})$ は $A_1, A_2, \cdots, A_n$ から任意の p 個をとって論理積し，そのすべての組合せを論理和することを意味するものとする。

【証明】

$A_1, A_2, \cdots, A_n$ は 0 又は 1 なる値をとるのみなる故，

$$A_1+A_2+\cdots\cdots A_n\geqq p$$

なるためには，少くとも $A_1, A_2, \cdots, A_n$ のうち p 個以上は 1 にならねばならないから

$$F\rightleftarrows\overset{p}{\underset{n}{\vee}}(A_{r_1}\cdot A_{r_2}\cdot\cdots\cdots\cdot A_{r_p})$$

で表わされることは明らかである。

以上の定理を用いて (2·2) 式を論理式で表わせば，次の如くなる。

【定理 2·3】 (2·2) 式を表わす命題を F_{ij} とせば

$$F_{ij}\rightleftarrows\overset{p}{\underset{n}{\vee}}(X_{ij}^{r_1}\cdot X_{ij}^{r_2}\cdot\cdots\cdots\cdot X_{ij}^{r_p})$$

にして，

$$F_{ij}\rightleftarrows F_{ji}$$

ここに，

$$X_{ij}^{k}\equiv(x_{ik}\rightleftarrows\sim x_{jk})$$

$$1\leqq k\leqq n,\quad n\geqq p\geqq 1$$

【証明】

[定理 2·1], [定理 2·2] により明らかである。

さて，前述により (2·2) 式は，$i\neq j$, $1\leqq i$, $j\leqq m$ なる任意の整数 i, j について成立する故

$$\begin{aligned} &F_{12}F_{13}F_{14}\cdots\cdots F_{1m}\\ &\quad F_{23}F_{24}\cdots\cdots F_{2m}\\ &\quad\quad F_{34}\cdots\cdots F_{3m}\\ &\quad\quad\quad\vdots\\ &\quad\quad\quad\quad F_{(m-1)m}\rightleftarrows 1 \end{aligned} \tag{2·4}$$

$$(\equiv\mathfrak{A}_m \text{ で表わすことにする}) \tag{2·4'}$$

が成立する。故に，求める m は

$$\mathfrak{A}_m\rightleftarrows 1 \tag{2·5}$$

ならしめる m の最大値を求めればよいことになる。即ち，$\mathfrak{A}_m\rightleftarrows 1$ ならしめる m の最大値を m_0 とせば，$m_0<m$ なる任意の整数 m について $\mathfrak{A}_m$ は恒等的に 0 となる。即ち，

$$m>m_0 \text{ なら } \mathfrak{A}_m\equiv 0 \tag{2·6}$$

故に，$\mathfrak{A}_m$ を各 x_{ij} $(1\leqq i\leqq m,\ 1\leqq j\leqq n)$ に関する特殊加法標準形に展開したとき，その項数が 0 となる m の最小値を求めれば (今，それを $m_{\min}$ とす)，

$$m_0=m_{\min}-1 \tag{2·7}$$

となる。

【例 2·1】 $n=1$, $p=1$ なるとき

この場合は

$$F_{ij}\rightleftarrows X_{ij}^{1}$$

となる。しかるに，

$$F_{12}F_{13}F_{23}\rightleftarrows(x_{11}\rightleftarrows\sim x_{21})(x_{11}\rightleftarrows\sim x_{31})(x_{21}\rightleftarrows\sim x_{31})\equiv 0$$

$$\therefore\quad m_{\min}=3\qquad\therefore\quad m_0=3-1=2$$

1) Hamming, R. W. Error detecting and correcting codes, B. S. T. J. 29 (1950) pp. 147~150.

しかして

$$F_{12}\rightleftarrows(x_{11}\rightleftarrows\sim x_{21})$$
$$\rightleftarrows x_{11}\sim x_{21}\vee\sim x_{11}x_{21}$$

故に，行列(2·1)はこの場合 $\begin{pmatrix}1\\0\end{pmatrix}$ または $\begin{pmatrix}0\\1\end{pmatrix}$ である。

【附記 2·1】

[例 2·1] より察る如く，$\mathfrak{A}_{m_0}$ を x_{ij} に関する特殊加法標準形に展開したときの各項を 1 とおいたときの各 x_{ij} の値が行列 (2·1) を与えることになる。即ち $\mathfrak{A}_{m_0}$ なるときの coding を与えることになる。

さて，F_{ij} の一般の場合に $\mathfrak{A}_m$ の x_{ij} に関する特殊加法標準形の項数を求めることは，極めて困難である。しかし，m_0 のある評価式を求める手段を次に述べる。

【定理 2·4】　$F\rightleftarrows\overset{p}{\underset{n}{\mathrm{V}}}(A_{r_1}\cdot A_{r_2}\cdot\cdots\cdot A_{r_p})$

$$\rightleftarrows\overset{n-p+1}{\underset{n}{\mathrm{A}}}(A_{r_1}\vee A_{r_2}\vee\cdots\vee A_{r_{n-p+1}})$$

ここに，

F，$\overset{p}{\underset{n}{\mathrm{V}}}$ は [定理 2·2] で定義したものである。

$\overset{n-p+1}{\underset{n}{\mathrm{A}}}(A_{r_1}\vee A_{r_2}\vee\cdots\vee A_{r_{n-p+1}})$ は $A_1, A_2, \cdots, A_n$ より任意の $(n-p+1)$ 個をとって論理和し，そのすべての組合せを論理積することを意味するものとする。

【証明】

題意により，

$$\overset{p}{\underset{n}{\mathrm{V}}}(A_{r_1}\cdot A_{r_2}\cdot\cdots\cdot A_{r_p})$$
$$\rightleftarrows\overset{p}{\underset{n}{\sum}}A_{r_1}A_{r_2}\cdots A_{r_p}\sim A_{r_{p+1}}\sim A_{r_{p+2}}\sim A_{r_{p+3}}\cdots\sim A_{r_n}$$
$$\vee\overset{p+1}{\underset{n}{\sum}}A_{r_1}A_{r_2}\cdots\cdots A_{r_{p+1}}\sim A_{r_{p+2}}\sim A_{r_{p+3}}\cdots\sim A_{r_n}$$
$$\vee\overset{p+2}{\underset{n}{\sum}}A_{r_1}A_{r_2}\cdots\cdots A_{r_{p+2}}\sim A_{r_{p+3}}\cdots\sim A_{r_n}$$
$$\vdots$$
$$\vee\overset{n-1}{\underset{n}{\sum}}A_{r_1}A_{r_2}\cdots\cdots A_{r_{n-1}}\sim A_{r_n}$$
$$\vee A_1A_2\cdots\cdots A_n \qquad (2\cdot8)$$

ここで，$\overset{p}{\underset{n}{\sum}}A_{r_1}A_{r_2}\cdots A_{r_p}\sim A_{r_{p+1}}\cdots\sim A_{r_n}$ は $A_1, A_2, \cdots, A_n$ のうちより任意の $(n-p)$ 個には否定をつけ，残りの p 個はそのままで論理積したもののすべての組合せを論理和することを意味する。他も同様。

さて，次に $\overset{n-p+1}{\underset{n}{\mathrm{V}}}(\sim A_{r_1}\sim A_{r_2}\cdots\sim A_{r_{n-p+1}})$ を考えるに，(2·8) 式と同様にして，

$$\overset{n-p+1}{\underset{n}{\mathrm{V}}}(\sim A_{r_1}\cdot\sim A_{r_2}\cdot\cdots\cdot\sim A_{r_{n-p+1}})$$
$$\rightleftarrows\overset{n-p+1}{\underset{n}{\sum}}\sim A_{r_1}\sim A_{r_2}\cdots\sim A_{r_{n-p+1}}\cdot A_{r_{n-p+2}}A_{r_{n-p+3}}\cdots A_{r_n}$$
$$\vee\overset{n-p+2}{\underset{n}{\sum}}\sim A_{r_1}\sim A_{r_2}\cdots\sim A_{r_{n-p+2}}A_{r_{n-p+3}}\cdots A_{r_n}$$
$$\vdots$$
$$\vee\overset{n-1}{\underset{n}{\sum}}\sim A_{r_1}\sim A_{r_2}\cdots\sim A_{r_{n-1}}A_{r_n}$$
$$\vee\sim A_1\sim A_2\cdots\sim A_{r_n} \qquad (2\cdot9)$$
$$\rightleftarrows\sim A_1\sim A_2\cdots\sim A_n$$
$$\vee\overset{1}{\underset{n}{\sum}}A_{r_1}\sim A_{r_2}\cdots\sim A_{r_n}$$
$$\vee\overset{2}{\underset{n}{\sum}}A_{r_1}A_{r_2}\sim A_{r_3}\cdots\sim A_{r_n}$$
$$\vdots$$
$$\vee\overset{p-1}{\underset{n}{\sum}}A_{r_1}A_{r_2}\cdots A_{r_{p-1}}\sim A_{r_p}\cdots\sim A_{r_n} \qquad (2\cdot9')$$

しかるに $A_1, A_2, \cdots, A_n$ の特殊加法標準形のすべての項の論理和は常に 1 なる故，(2·8)，(2·9′) 両式より，

$$\overset{p}{\underset{n}{\mathrm{V}}}(A_{r_1}\cdot A_{r_2}\cdots A_{r_p})\vee\overset{n-p+1}{\underset{n}{\mathrm{V}}}(\sim A_{r_1}\cdot\sim A_{r_2}\cdots\sim A_{r_{n-p+1}})$$
$$\rightleftarrows 1 \qquad (2\cdot10)$$

また，特殊加法標準形の各項は互に排他的なる故，

$$\{\overset{p}{\underset{n}{\mathrm{V}}}(A_{r_1}\cdot A_{r_2}\cdots A_{r_p})\}\cdot\{\overset{n-p+1}{\underset{n}{\mathrm{V}}}(\sim A_{r_1}\sim A_{r_2}\cdots\sim A_{r_{n-p+1}})\}\rightleftarrows 0 \qquad (2\cdot11)$$

‡ (2·10)，(2·11) 両式より明らかに，

$$\overset{p}{\underset{n}{\mathrm{V}}}(A_{r_1}\cdot A_{r_2}\cdot\cdots\cdot A_{r_p})$$
$$\rightleftarrows\sim\overset{n-p+1}{\underset{n}{\mathrm{V}}}(\sim A_{r_1}\cdot\sim A_{r_2}\cdot\cdots\cdot\sim A_{r_{n-p+1}}) \qquad (2\cdot12)$$
$$\rightleftarrows\overset{n-p+1}{\underset{n}{\mathrm{A}}}(A_{r_1}\vee A_{r_2}\vee\cdots\vee A_{r_{n-p+1}}) \qquad (2\cdot12')$$

【定理 2·5】

$$F_{ij}\rightleftarrows\overset{p}{\underset{n}{\mathrm{V}}}\left(X_{ij}^{r_1}\cdot X_{ij}^{r_2}\cdot\cdots\cdot X_{ij}^{r_p}\right)$$

$$\rightleftarrows \bigwedge_{n}^{n-p+1}\left(X_{ij}^{r_1}\vee X_{ij}^{r_2}\vee\cdots\cdots\vee X_{ij}^{r_{n-p+1}}\right)$$

ここに，F_{ij} は［定理 2·3］と同じである。

【証明】

［定理 2·3］の F_{ij} に［定理 2·4］を適用すればよい。

さて，$p=1$ なる場合を考えるに，このときの F_{ij} を G_{ij}^{n} とせば，

$$G_{ij}^{n}\rightleftarrows X_{ij}^{1}\vee X_{ij}^{2}\vee\cdots\cdots\vee X_{ij}^{n} \qquad (2\cdot13)$$

なることは明白である。しかして，このときの m_0 は

$$m_0=2^n \qquad (2\cdot14)$$

なることも明らかである。

故に，

$$G_{ij}^{n-p+1}\rightleftarrows X_{ij}^{1}\vee X_{ij}^{2}\vee\cdots\cdots\vee X_{ij}^{n-p+1} \qquad (2\cdot15)$$

なるときの m_0 は

$$m_0=2^{n-p+1} \qquad (2\cdot16)$$

となる。

しかるに，F_{ij} は［定理 2·5］により G_{ij}^{n-p+1} なる論理積因子を有する。

故に，

$$\begin{aligned} &G_{12}^{q}G_{13}^{q}\cdots\cdots G_{1m}^{q}\\ &G_{23}^{q}\cdots\cdots G_{2m}^{q}\\ &\qquad\vdots\\ &\qquad G_{(m-1)m}^{q}\equiv\mathfrak{B}_{m}^{q} \end{aligned} \qquad (2\cdot17)$$

但し　$q=n-p+1$

とおけば，$\mathfrak{A}_m$ は $\mathfrak{B}_m^q$ なる論理積因子を有する。

故に，

$$\mathfrak{B}_{m}^{q}\equiv 0 \quad \text{ならば} \quad \mathfrak{A}_m\equiv 0 \qquad (2\cdot18)$$

となる。

しかして，$\mathfrak{B}_m^q$ は (2·16) 式により

$$\left.\begin{aligned} &m\leqq 2^{n-p+1} \quad \text{ならば} \quad \mathfrak{B}_{m}^{q}\not\equiv 0\\ &m>2^{n-p+1} \quad \text{ならば} \quad \mathfrak{B}_{m}^{q}\equiv 0 \end{aligned}\right\} \qquad (2\cdot19)$$

故に，$\mathfrak{A}_m$ は少くとも

$$m>2^{n-p+1} \quad \text{ならば} \quad \mathfrak{A}_m\equiv 0 \qquad (2\cdot20)$$

故に，一般に m_0 は

$$m_0\leqq 2^{n-p+1} \qquad (2\cdot21)$$

しかして，$n\geqq p$ なる故，$m_0\geqq 2$

$$\therefore\quad 2\leqq m_0\leqq 2^{n-p+1} \qquad (2\cdot22)$$

これは，m_0 の重要なる評価式である。

§§3. 群論の論理数学への応用

§3·1 特殊加法標準形群

今，以後用いる $x, y, z, u, x_1, x_2, \cdots$ 等は 0 又は 1 なる値をとる変数とする。従って，二値命題変項と見做せる。

しかして，$\binom{x}{y}$ なる置換を考え，次にその規約を設ける。

【規約 3·1】

x の特殊加法標準形（これは勿論 x か $\sim x$ かのいずれかである）の二項を y, z とするとき，y に $\binom{x}{y}$ なる置換を対応させて，$\binom{x}{y}$ を "x を底とする y に対応する置換" と呼ぶことにする。

しかして，上述に定義した置換相互間の結合は，次の如く与えるものとする。即ち，

【規約 3·2】 $\binom{x}{y}\cdot\binom{y}{z}=\binom{x}{z}$

ここに結合の記号 "·" は間違いの虞れなきときは省略することがあるものとする。しかして，この結合を積と呼ぶことにする。

【規約 3·3】 $\binom{x}{y}$ なる置換と $\binom{\sim x}{\sim y}$ なる置換とは全く同じものを表わすものとする。即ち，

$$\binom{x}{y}=\binom{\sim x}{\sim y}$$

【定理 3·1】 $\binom{x}{y}=\binom{y}{x}$

【証明】

$x=y=1$ なら　$\binom{x}{y}=\binom{1}{1}=\binom{y}{x}$

$x=1,\ y=0$ なら　$\binom{x}{y}=\binom{1}{0}=\binom{0}{1}=\binom{y}{x}$

（［規約 3·3］による）

$x=0,\ y=1$ なら　$\binom{x}{y}=\binom{0}{1}=\binom{1}{0}=\binom{y}{x}$

（［規約 3·3］による）

$x=y=0$ なら　$\binom{x}{y}=\binom{0}{0}=\binom{y}{x}$

故に，いずれの場合にも　$\binom{x}{y}=\binom{y}{x}$　（証明終り）

以上のことから次の諸式が容易に証明される。

$$\binom{1}{1}=\binom{0}{0}=\binom{x}{x}\quad \text{但し } x \text{ は任意} \qquad (3\cdot1)$$

【証明】

［規約 3·1］により　$\binom{1}{1}=\binom{0}{0}$

また　$x=1$ なら　$\binom{x}{x}=\binom{1}{1}$

$x=0$ なら　$\binom{x}{x}=\binom{0}{0}$

$$\therefore\ \binom{1}{1}=\binom{0}{0}=\binom{x}{x}$$

$$\binom{x}{y}\binom{1}{1}=\binom{x}{y}\binom{0}{0}=\binom{x}{y}\binom{z}{z}=\binom{x}{y} \qquad (3\cdot2)$$

【証明】

(3·1) 式より $\binom{1}{1}=\binom{0}{0}=\binom{z}{z}=\binom{y}{y}$

$$\therefore\ \binom{x}{y}\binom{1}{1}=\binom{x}{y}\binom{0}{0}=\binom{x}{y}\binom{z}{z}=\binom{x}{y}\binom{y}{y}=\binom{x}{y}$$

$$\binom{x}{y}\binom{x}{y}=\binom{z}{z}=\binom{1}{1}=\binom{0}{0}\quad \text{但し } z \text{ は任意} \qquad (3\cdot3)$$

【証明】

$$\binom{x}{y}\binom{x}{y}=\binom{x}{y}\binom{y}{x}=\binom{x}{x} \qquad (\text{[定理 3·1] による})$$

$$=\binom{1}{1}=\binom{0}{0}=\binom{z}{z} \qquad (\text{(3·1) 式による})$$

【定理 3·2】 $\binom{x}{y}\binom{z}{u}=\binom{z}{u}\binom{x}{y}$

【証明】

[規約 3·3], [定理 3·1] より結局

$$\binom{1}{1}\binom{1}{1}=\binom{1}{1}\binom{1}{1} \quad \text{及び}$$

$$\binom{1}{0}\binom{1}{1}=\binom{1}{1}\binom{1}{0}$$

を証明せばよいことがわかるが，これらは明らかに成立する。

【定理 3·3】 $\left\{\binom{x}{x'}\cdot\binom{y}{y'}\right\}\cdot\binom{z}{z'}=\binom{x}{x'}\cdot\left\{\binom{y}{y'}\cdot\binom{z}{z'}\right\}$

【証明】

[規約 3·3], [定理 3·1], (3·1) 式等より $\binom{x}{x'}$, $\binom{y}{y'}$, $\binom{z}{z'}$ は結局，$\binom{1}{1}$, $\binom{1}{0}$ のいずれかに等しいことがわかる。故に，例えば

$$\left.\begin{aligned}\binom{x}{x'}&=\binom{1}{1}\\ \binom{y}{y'}&=\binom{1}{0}\\ \binom{z}{z'}&=\binom{1}{1}\end{aligned}\right\}\ \text{なるときは}$$

$$\left\{\binom{x}{x'}\binom{y}{y'}\right\}\binom{z}{z'}=\left\{\binom{1}{1}\binom{1}{0}\right\}\binom{1}{1}$$

$$=\binom{1}{0}\binom{1}{1}=\binom{1}{0}$$

$$\binom{x}{x'}\left\{\binom{y}{y'}\binom{z}{z'}\right\}=\binom{1}{1}\left\{\binom{1}{0}\binom{1}{1}\right\}$$

$$=\binom{1}{1}\binom{1}{0}=\binom{1}{0}$$

故に，この場合は

$$\left\{\binom{x}{x'}\binom{y}{y'}\right\}\binom{z}{z'}=\binom{x}{x'}\left\{\binom{y}{y'}\binom{z}{z'}\right\}$$

他の $\binom{x}{x'}$, $\binom{y}{y'}$, $\binom{z}{z'}$ の組合せに対しても，同様に容易に証明出来る。

$$\binom{x}{y}=\binom{z}{z}\binom{z}{y} \qquad (3\cdot4)$$

【証明】

[定理 3·1] より明らかである。

【注意 3·1】

(3·4) 式は $\binom{x}{y}$ なる置換は，それぞれ z を底とする x, y に対応する置換の積に等しいことを表わしている。

【注意 3·2】

y を底とする置換より z を底とする置換に変換するには $\binom{z}{x}=\binom{y}{x}\binom{y}{z}$ なる故，y を底とする置換に $\binom{y}{z}$ を乗ずればよい。

【規約 3·4】

$x_1, x_2, \cdots, x_n$ なる n 個の命題変項よりなる特殊加法標準形の任意の二項を $(y_1, y_2, \cdots, y_n)$, $(z_1, z_2, \cdots, z_n)$ とするとき $(y_1, y_2, \cdots, y_n)$ なる項に $\binom{z_1, z_2, \cdots, z_n}{y_1, y_2, \cdots, y_n}$ なる置換を対応させ，この置換を "$(z_1, z_2, \cdots, z_n)$ を底とする $(y_1, y_2, \cdots, y_n)$ に対応する置換" と呼ぶことにする。

【規約 3·5】 $\binom{x_1, x_2, \cdots, x_n}{x_1', x_2', \cdots, x_n'}=\binom{y_1, y_2, \cdots, y_n}{y_1', y_2', \cdots, y_n'}$

なることは，任意の i $(1\leqq i\leqq n)$ について

$$\binom{x_i}{x_{i'}}=\binom{y_i}{y_{i'}}$$

が成立することを意味するものとする。

【注意 3·3】

[規約 3·5] により，明らかに，上述した諸定理，諸式はすべて，n 個の命題変項を有する場合に拡張される。

さて，上記の如く，特殊加法標準形の各項に対応する置換を定義すると，底を固定すれば，それらの置換と特殊加法標準形の各項とは明らかに 1 対 1 の対応関係が成立する。いま，

$\mathfrak{G}$: $x_1, x_2, \cdots, x_n$ なる n 個の命題変項よりなる特殊加法標準形の一項 $(y_1, y_2, \cdots, y_n)$ を底とし，各項にそれぞれ対応する置換の集合（底を $(y_1, y_2, \cdots, y_n)$ に固定するものとす。）

とせば，

【定理 3·4】 集合 $\mathfrak{G}$ は上述の諸規約の下で Abel 群をなす。しかして，その各原素* の位数は 2 である。故に $\mathfrak{G}$ の位数は 2^n 個である。

【証明】

上述の諸規約，諸定理，諸式及び [注意 3·3] により

* 本論文においては群の要素を原素と呼ぶことにする。

(1) $\mathfrak{G}$ の各要素は結合可能で $\mathfrak{G}$ の任意の二要素の結合結果が一義的に定り，且つそれが $\mathfrak{G}$ 中の要素になっていることは，$\mathfrak{G}$ が特殊加法標準形の各項と1対1の対応をする置換の集合なることより明らかである。

(2) 結合法則が成立することも明らかである。

(3) 単位原素が存在する。即ち

$$\begin{pmatrix} y_1, y_2, \cdots, y_n \\ y_1, y_2, \cdots, y_n \end{pmatrix} = \begin{pmatrix} 1, 1, \cdots, 1 \\ 1, 1, \cdots, 1 \end{pmatrix}$$

(4) 逆原素が存在する。即ち

$$\begin{pmatrix} y_1, y_2, \cdots, y_n \\ z_1, z_2, \cdots, z_n \end{pmatrix}\begin{pmatrix} y_1, y_2, \cdots, y_n \\ z_1, z_2, \cdots, z_n \end{pmatrix} = \begin{pmatrix} y_1, y_2, \cdots, y_n \\ y_1, y_2, \cdots, y_n \end{pmatrix} = \begin{pmatrix} 1, 1, \cdots, 1 \\ 1, 1, \cdots, 1 \end{pmatrix}$$

故に，$\mathfrak{G}$ に属する任意の原素は，それ自身が逆原素となる。換言すれば，$\mathfrak{G}$ の任意の原素の位数は2である。

(5) 交換法則が成立する。

以上のことから $\mathfrak{G}$ は Abel 群をなし (4) で述べたことより $\mathfrak{G}$ の位数は 2^n 個である。これは $\mathfrak{G}$ が $x_1, x_2, \cdots, x_n$ なる n 個の命題変項よりなる特殊加法標準形の各項と1対1の対応をすることからも明らかなことである。

【附記 3·1】

以後，上述の群 $\mathfrak{G}$ を特殊加法標準形群と呼ぶことにする。

次に，特殊加法標準形群 $\mathfrak{G}$ の分群に関する若干の定理を述べる。

【定理 3·5】 $x_1, x_2, \cdots, x_n$ なる n 個の命題変項よりなる特殊加法標準形の項よりなる集合 H

$$H=\{\alpha_1, \alpha_2, \cdots\cdots, \alpha_m\}$$

があるとき，H に属する任意の要素 α_i, α_j について，

$$\mathfrak{H}_i=\left\{\begin{pmatrix}\alpha_i\\ \alpha_1\end{pmatrix}, \begin{pmatrix}\alpha_i\\ \alpha_2\end{pmatrix}, \cdots\cdots, \begin{pmatrix}\alpha_i\\ \alpha_m\end{pmatrix}\right\}$$

が $\mathfrak{G}$ の分群をなせば

$$\mathfrak{H}_j=\left\{\begin{pmatrix}\alpha_j\\ \alpha_1\end{pmatrix}, \begin{pmatrix}\alpha_j\\ \alpha_2\end{pmatrix}, \cdots\cdots, \begin{pmatrix}\alpha_j\\ \alpha_m\end{pmatrix}\right\}$$

も $\mathfrak{G}$ の分群をなし　$\mathfrak{H}_i=\mathfrak{H}_j$

但し $\begin{pmatrix}\alpha_k\\ \alpha_l\end{pmatrix}$ は α_k を底とする α_l に対応する置換を表わすものとする。

【証明】

$\mathfrak{H}_i \subset \mathfrak{G}$ なることは明らかである*。

さて，$\mathfrak{H}_j$ に属する任意の要素を $\begin{pmatrix}\alpha_j\\ \alpha_x\end{pmatrix}, \begin{pmatrix}\alpha_j\\ \alpha_y\end{pmatrix}$ とするとき，

$$\begin{pmatrix}\alpha_j\\ \alpha_x\end{pmatrix}\begin{pmatrix}\alpha_j\\ \alpha_y\end{pmatrix}=\begin{pmatrix}\alpha_x\\ \alpha_y\end{pmatrix}=\begin{pmatrix}\alpha_i\\ \alpha_x\end{pmatrix}\begin{pmatrix}\alpha_i\\ \alpha_y\end{pmatrix} \qquad (3\cdot5)$$

しかして

$$\begin{pmatrix}\alpha_j\\ \alpha_x\end{pmatrix}, \begin{pmatrix}\alpha_j\\ \alpha_y\end{pmatrix} \in \mathfrak{H}_j \text{ なる故，} \alpha_x, \alpha_y \in H$$

$$\therefore \quad \begin{pmatrix}\alpha_i\\ \alpha_x\end{pmatrix}, \begin{pmatrix}\alpha_i\\ \alpha_y\end{pmatrix} \in \mathfrak{H}_i$$

また，$\mathfrak{H}_i$ は題意により群をなすから，

$$\begin{pmatrix}\alpha_i\\ \alpha_x\end{pmatrix}\cdot\begin{pmatrix}\alpha_i\\ \alpha_y\end{pmatrix}=\begin{pmatrix}\alpha_i\\ \alpha_z\end{pmatrix}\in\mathfrak{H}_i \text{ 即ち } \alpha_z\in H \qquad (3\cdot6)$$

なる α_z が存在する。しかして，$\begin{pmatrix}\alpha_i\\ \alpha_j\end{pmatrix}\in\mathfrak{H}_i$ なる故

$$\begin{pmatrix}\alpha_i\\ \alpha_z\end{pmatrix}\cdot\begin{pmatrix}\alpha_i\\ \alpha_j\end{pmatrix}=\begin{pmatrix}\alpha_i\\ \alpha_u\end{pmatrix}\in\mathfrak{H}_i \text{ 即ち } \alpha_u\in H$$

なる α_u が存在する。

$$\therefore \quad \begin{pmatrix}\alpha_i\\ \alpha_z\end{pmatrix}=\begin{pmatrix}\alpha_i\\ \alpha_j\end{pmatrix}\begin{pmatrix}\alpha_i\\ \alpha_u\end{pmatrix}=\begin{pmatrix}\alpha_j\\ \alpha_u\end{pmatrix}\in\mathfrak{H}_j \qquad (3\cdot7)$$

故に，(3·5), (3·6), (3·7) の諸式より

$$\begin{pmatrix}\alpha_j\\ \alpha_x\end{pmatrix}\begin{pmatrix}\alpha_j\\ \alpha_y\end{pmatrix}=\begin{pmatrix}\alpha_j\\ \alpha_u\end{pmatrix}\in\mathfrak{H}_j \qquad (3\cdot8)$$

故に，$\mathfrak{H}_j$ は $\mathfrak{G}$ の分群をなす。

また，$\mathfrak{H}_i$ に属する任意の原素 $\begin{pmatrix}\alpha_i\\ \beta\end{pmatrix}$ をとれば，$\beta\in H$ にして，

$$\begin{pmatrix}\alpha_i\\ \beta\end{pmatrix}=\begin{pmatrix}\alpha_j\\ \alpha_i\end{pmatrix}\begin{pmatrix}\alpha_j\\ \beta'\end{pmatrix} \qquad (3\cdot9)$$

しかして，$\begin{pmatrix}\alpha_j\\ \alpha_i\end{pmatrix}, \begin{pmatrix}\alpha_j\\ \beta'\end{pmatrix}\in\mathfrak{H}_j$ にして $\mathfrak{H}_j$ は群をなす故，(3·9) 式より

$$\begin{pmatrix}\alpha_i\\ \beta\end{pmatrix}\in\mathfrak{H}_j$$

逆に，$\mathfrak{H}_j$ に属する任意の原素は $\mathfrak{H}_i$ に属することも，同様に証明出来る故，

$$\mathfrak{H}_i=\mathfrak{H}_j$$

【注意 3·4】

[定理 3·5] により H に属する任意のある要素を底として $\mathfrak{H}$ を作るとき，それが群をなせば，底のとり方には無関係 (底が H に属する限り) に群をなし，それらはすべて相等しいことになる。

【定理 3·6】 $x_1, x_2, \cdots, x_n$ なる n 個の命題変項よりなる特殊加法標準形の項の集合 H

$$H=\{\alpha_1, \alpha_2, \cdots\cdots, \alpha_m\}$$

において，

$$\mathfrak{H}_i=\left\{\begin{pmatrix}\alpha_i\\ \alpha_1\end{pmatrix}, \begin{pmatrix}\alpha_i\\ \alpha_2\end{pmatrix}, \cdots\cdots, \begin{pmatrix}\alpha_i\\ \alpha_m\end{pmatrix}\right\}$$

但し　$\alpha_i\in H$

とおいたとき，

* 記号 $\subset$ は本論文においては部分集合を表わすものとする。

$$\mathfrak{H}_1=\mathfrak{H}_2=\cdots\cdots=\mathfrak{H}_m\ (=\mathfrak{H}\text{ とす})$$

ならば，$\mathfrak{H}$ は $\mathfrak{G}$ の分群をなす。

【証明】

$\mathfrak{H}_i$ に属する任意の二つの要素を $\begin{pmatrix}\alpha_i\\ \alpha_x\end{pmatrix}$, $\begin{pmatrix}\alpha_i\\ \alpha_y\end{pmatrix}$ とするとき

$$\begin{pmatrix}\alpha_i\\ \alpha_x\end{pmatrix}\begin{pmatrix}\alpha_i\\ \alpha_y\end{pmatrix}=\begin{pmatrix}\alpha_x\\ \alpha_y\end{pmatrix}\qquad \alpha_x,\alpha_y\in H$$

なる故，

$$\begin{pmatrix}\alpha_x\\ \alpha_y\end{pmatrix}\in\mathfrak{H}_x$$

しかして，$\mathfrak{H}_x=\mathfrak{H}_i$ なる故

$$\begin{pmatrix}\alpha_x\\ \alpha_y\end{pmatrix}\in\mathfrak{H}_i$$

しかして，$\mathfrak{H}_i\subset\mathfrak{G}$ なることは明らかなる故，$\mathfrak{H}_i$ は $\mathfrak{G}$ の分群をなす。故に $\mathfrak{H}$ は $\mathfrak{G}$ の分群をなす。

§3·2　特殊加法標準形群と論理式との関係

特殊加法標準形群の各原素間には次の論理式によって表わされる注目すべき関係がある。

【定理 3·7】 $\begin{pmatrix}x_1\\ x_2\end{pmatrix}=\begin{pmatrix}y_1\\ y_2\end{pmatrix}$ なるための必要且つ充分条件は

$$(x_1\rightleftarrows x_2)\rightleftarrows(y_1\rightleftarrows y_2)$$

即ち

$$y_2\rightleftarrows\{y_1\rightleftarrows(x_2\rightleftarrows x_1)\}$$

が成立することである。

【証明】

x_1, x_2, y_1, y_2 の種々の値の組により検討するに

$$\left.\begin{matrix}x_1=1\\ x_2=1\\ y_1=1\\ y_2=1\end{matrix}\right\}\left.\begin{matrix}x_1=1\\ x_2=0\\ y_1=1\\ y_2=0\end{matrix}\right\}\left.\begin{matrix}x_1=1\\ x_2=0\\ y_1=0\\ y_2=1\end{matrix}\right\}\left.\begin{matrix}x_1=0\\ x_2=1\\ y_1=0\\ y_2=0\end{matrix}\right\}\left.\begin{matrix}x_1=1\\ x_2=1\\ y_1=0\\ y_2=0\end{matrix}\right\}\left.\begin{matrix}x_1=0\\ x_2=0\\ y_1=0\\ y_2=0\end{matrix}\right\}$$

なるときに限り $\begin{pmatrix}x_1\\ x_2\end{pmatrix}=\begin{pmatrix}y_1\\ y_2\end{pmatrix}$, $(x_1\rightleftarrows x_2)\rightleftarrows(y_1\rightleftarrows y_2)$ が共に成立し，x, y の他の如何なる組合せについても両式は共に成立せず。よって，$\begin{pmatrix}x_1\\ x_2\end{pmatrix}=\begin{pmatrix}y_1\\ y_2\end{pmatrix}$ なるための必要且つ充分条件は $(x_1\rightleftarrows x_2)\rightleftarrows(y_1\rightleftarrows y_2)$ が成立することである。

【定理 3·8】 $\begin{pmatrix}x_1\\ x_2\end{pmatrix}=\begin{pmatrix}y_1\\ y_2\end{pmatrix}$ なるための必要且つ充分条件は

$$x_1=x_2\begin{pmatrix}y_1\\ y_2\end{pmatrix}$$

が成立することである。

但し，$x_2\begin{pmatrix}y_1\\ y_2\end{pmatrix}$ は x_2 に $\begin{pmatrix}y_1\\ y_2\end{pmatrix}$ なる置換を施すことを意味するものとする。

【証明】

[定理 3·7] の証明と同様にして，x_1, x_2, y_1, y_2 の値のすべての組合せについて考えれば明らかである。

【定理 3·9】 $\begin{pmatrix}y_1\\ y_2\end{pmatrix}=\begin{pmatrix}x_1\\ x_2\end{pmatrix}\cdot\begin{pmatrix}x_3\\ x_4\end{pmatrix}$ なるための必要且つ充分条件は

$$(y_2\rightleftarrows y_1)\rightleftarrows(x_1\rightleftarrows(x_1\rightleftarrows(x_2\rightleftarrows x_1)))$$

即ち

$$y_2\rightleftarrows(y_1\rightleftarrows(x_1\rightleftarrows(x_3\rightleftarrows(x_3\rightleftarrows x_1))))$$

が成立することである。

【証明】

$\begin{pmatrix}y_1\\ y_2\end{pmatrix}=\begin{pmatrix}x_1\\ x_2\end{pmatrix}\begin{pmatrix}x_3\\ x_4\end{pmatrix}$ が成立する故，[定理 3·8] により必要且つ充分条件として

$$y_2=y_1\begin{pmatrix}x_1\\ x_2\end{pmatrix}\begin{pmatrix}x_3\\ x_4\end{pmatrix}\qquad(3\cdot10)$$

が成立する。

いま，

$$y_1\begin{pmatrix}x_1\\ x_2\end{pmatrix}=z\qquad(3\cdot11)$$

とおけば

$$y_2=z\begin{pmatrix}x_3\\ x_4\end{pmatrix}\qquad(3\cdot12)$$

なる故，[定理 3·7], [定理 3·8] によりそれぞれ必要且つ充分条件として

$$z\rightleftarrows(y_1\rightleftarrows(x_2\rightleftarrows x_1))\qquad(3\cdot13)$$

$$y_2\rightleftarrows(z\rightleftarrows(x_1\rightleftarrows x_3))\qquad(3\cdot14)$$

が成立する。故に (3·13) 式を (3·14) 式に代入せば，

$$y_2\rightleftarrows\{(y_1\rightleftarrows(x_2\rightleftarrows x_1))\rightleftarrows(x_1\rightleftarrows x_3)\}\rightleftarrows(y_1\rightleftarrows(x_1\rightleftarrows(x_3\rightleftarrows(x_2\rightleftarrows x_1))))\qquad(3\cdot15)$$

よって，証明せられたり。

さて，[定理 3·9] を一般化すれば，数学的帰納法により明らかに次の定理が成立する。

【定理 3·10】 $\begin{pmatrix}y_1\\ y_2\end{pmatrix}=\begin{pmatrix}x_1\\ x_2\end{pmatrix}\begin{pmatrix}x_3\\ x_4\end{pmatrix}\cdots\cdots\begin{pmatrix}x_{2n-1}\\ x_{2n}\end{pmatrix}$

なるための必要且つ充分条件は，

$$y_2\rightleftarrows(y_1\rightleftarrows(x_{2n}\rightleftarrows(x_{2n-1}\rightleftarrows(\cdots\cdots\rightleftarrows(x_4\rightleftarrows(x_2\rightleftarrows x_1))\cdots)))$$

さて，[規約 3·5] により n 個の命題変項よりなる特殊加法標準形の関係に上述の諸定理を拡張すれば，次の [定理 3·11], [定理 3·12] が明らかに成立する。

【定理 3·11】 $x_1, x_2, \cdots, x_n$ なる n 個の命題変項よりなる特殊加法標準形の任意の項を $\alpha, \beta, \gamma, \delta$ とするとき，$\begin{pmatrix}\alpha\\ \beta\end{pmatrix}=\begin{pmatrix}\gamma\\ \delta\end{pmatrix}$ なるための必要且つ充分条件は $\alpha=\beta\begin{pmatrix}\gamma\\ \delta\end{pmatrix}$ が成立することである。

但し $\begin{pmatrix}\alpha\\ \beta\end{pmatrix}$ は α を底とする β に対応する置換を意味するものとする。また，$\beta\begin{pmatrix}\gamma\\ \delta\end{pmatrix}$ は β に $\begin{pmatrix}\gamma\\ \delta\end{pmatrix}$ なる置換を施すことを意味するものとする。

【定理 3·12】 $x_1, x_2, \cdots, x_n$ なる n 個の命題変項よりなる特殊加法標準形の任意の項を

$(x_{i1}, x_{i2}, \cdots\cdots, x_{in})$, $(x_{i1}', x_{i2}', \cdots\cdots, x_{in}')$

$(y_1, y_2, \cdots\cdots, y_n)$, $(y_1', y_2', \cdots\cdots, y_n')$

但し，i は $1 \leqq i \leqq m$ なる整数にして m は任意とす。とするとき，

$$\begin{pmatrix} y_1, & y_2, & \cdots\cdots, & y_n \\ y_1', & y_2', & \cdots\cdots, & y_n' \end{pmatrix}$$
$$= \begin{pmatrix} x_{11}, & x_{12}, & \cdots\cdots, & x_{1n} \\ x_{11}', & x_{12}', & \cdots\cdots, & x_{1n}' \end{pmatrix} \begin{pmatrix} x_{21}, & x_{22}, & \cdots\cdots, & x_{2n} \\ x_{21}', & x_{22}', & \cdots\cdots, & x_{2n}' \end{pmatrix} \cdots$$
$$\cdots \begin{pmatrix} x_{m1}, & x_{m2}, & \cdots\cdots, & x_{mn} \\ x_{m1}', & x_{m2}', & \cdots\cdots, & x_{mn}' \end{pmatrix}$$

なるための必要且つ充分条件は

$$\overset{n}{\underset{k=1}{\Lambda}} \{y_k \rightleftarrows (y_k' \rightleftarrows (x_{1k} \rightleftarrows (x_{1k}' \rightleftarrows (x_{2k} \rightleftarrows (x_{2k}' \rightleftarrows (\cdots \cdots \rightleftarrows (x_{mk} \rightleftarrows x_{mk}')) \cdots\cdots)$$

但し，$\overset{n}{\underset{k=1}{\Lambda}}$ は $k=1, 2, \cdots, n$ について論理積することを意味するものとする。

が成立することである。

さて，以上の諸定理より次の定理が成立する。

【定理 3·13】 $x_1, x_2, \cdots, x_n$ なる n 個の命題変項よりなる特殊加法標準形の項の集合 H

$$H = \{\alpha_1, \alpha_2, \cdots\cdots, \alpha_m\}$$

とするとき，今任意の i ($1 \leqq i \leqq n$ なる整数) について，

$$\alpha_{(2^r+s)i} \rightleftarrows (\alpha_{(2^r+1)i} \rightleftarrows (\alpha_{si} \rightleftarrows x_{1i})) \qquad (3\cdot16)$$
但し $1 \leqq s \leqq 2^r$

が成立すれば，$\mathfrak{H}$ は $\mathfrak{G}$ の分群をなす。逆に $\mathfrak{H}$ が $\mathfrak{G}$ の分群であれば，H の要素を適当に配列することにより，上記の条件 (3·16) を満すようにすることが出来る。

ここに，

(1) $\mathfrak{H}$ は α_1 を底とし，H の各要素に対応する置換の集合

(2) $\mathfrak{G}$ は [定理 3·4] 参照

(3) $\alpha_j = (\alpha_{j1}, \alpha_{j2}, \cdots, \alpha_{jn})$ とする。

【証明】

(I) $\mathfrak{H}$ が $\mathfrak{G}$ の分群をなすことを証明する。

H に属する任意の二要素を α_t, α_u とせば，仮定により t は

$$2^m > t = 2^{t_0} + 2^{t_1} + 2^{t_2} + \cdots\cdots + 2^{t_p} + 1 \qquad (3\cdot17)$$

または

$$2^m \geqq t = 2^{t_0} + 2^{t_1} + 2^{t_2} + \cdots\cdots + 2^{t_p} \qquad (3\cdot18)$$

のいずれかの形に分解出来る。但し各 t_i は整数

(i) t が (3·17) 式の如き形に分解出来るときは，

$$\left.\begin{aligned} t_0' &= 2^{t_1} + 2^{t_2} + \cdots\cdots + 2^{t_p} + 1 \\ t_1' &= 2^{t_2} + \cdots\cdots + 2^{t_p} + 1 \\ &\vdots \\ t'_{(p-1)} &= 2^{t_p} + 1 \end{aligned}\right\} \qquad (3\cdot19)$$

とおけば，仮定 (3·16) 式により

$$\left.\begin{aligned} \alpha_{t_0 i} &\rightleftarrows (\alpha_{(2^{t_0}+1)i} \rightleftarrows (\alpha_{t_0' i} \rightleftarrows x_{1i})) \\ \alpha_{t_0' i} &\rightleftarrows (\alpha_{(2^{t_1}+1)i} \rightleftarrows (\alpha_{t_1' i} \rightleftarrows \alpha_{1i})) \\ \alpha_{t_1' i} &\rightleftarrows (\alpha_{(2^{t_2}+1)i} \rightleftarrows (\alpha_{t_2' i} \rightleftarrows x_{1i})) \\ &\vdots \\ \alpha_{t'_{(p-1)i}} &\rightleftarrows (\alpha_{(2^{t_p}+1)i} \rightleftarrows (\alpha_{1i} \rightleftarrows \alpha_{1i})) \end{aligned}\right\} \qquad (3\cdot20)$$

となる。従って (3·20) の諸式をそれぞれ代入してまとめれば，

p が偶数なるときは，

$$\alpha_{t_0 i} \rightleftarrows (\alpha_{(2^{t_0}+1)i} \rightleftarrows (\alpha_{(2^{t_1}+1)i} \rightleftarrows (\cdots \cdots \rightleftarrows (\alpha_{(2^{t_{(p-1)}}+1)i} \rightleftarrows \alpha_{(2^{t_p}+1)i})) \cdots\cdots)) \qquad (3\cdot21)$$

しかして，上式右辺の項数は (p+1) 個，即ち奇数個である。

p が奇数なるときは，

$$\alpha_{t_0 i} \rightleftarrows (\alpha_{(2^{t_0}+1)i} \rightleftarrows (\alpha_{(2^{t_1}+1)i} \rightleftarrows (\cdots \cdots \rightleftarrows (\alpha_{(2^{t_p}+1)i} \rightleftarrows \alpha_{1i})) \cdots\cdots)) \qquad (3\cdot22)$$

しかして，上式右辺の項数は (p+2) 個，即ち奇数個である。

(ii) t が (3·18) 式の如き形に分解出来るときは，

$$\begin{aligned} 2^m \geqq t &= 2^{t_0} + 2^{t_1} + 2^{t_2} + \cdots\cdots + 2^{t_{(p-1)}} + 2^{t_p} \\ &= 2^{t_0} + 2^{t_1} + 2^{t_2} + \cdots\cdots + 2^{t_{(p-1)}} + 2^{(t_p-1)} + 2^{(t_p-2)} \\ &\qquad + \cdots\cdots + 2^2 + 2^1 + 2^0 \end{aligned} \qquad (3\cdot23)$$

となる故，

$$\left.\begin{aligned}
t_0' &= 2^{t_1}+2^{t_2}+\cdots\cdots+2^{t(p-1)}+2^{t_p}\\
t_1' &= 2^{t_2}+\cdots\cdots+2^{t(p-1)}+2^{t_p}\\
&\vdots\\
t'_{(p-2)} &= 2^{t(p-1)}+2^{t_p}\\
t'_{(p-1)} &= 2^{t_p}=2^{(t_p-1)}+2^{(t_p-1)}\\
v_{(t_p-1)} &= 2^{(t_p-1)}=(2^{(t_p-2)}+2^{(t_p-2)})\\
v_{(t_p-2)} &= 2^{(t_p-2)}=(2^{(t_p-3)}+2^{(t_p-3)})\\
&\vdots\\
v_3 &= 2^3=2^2+2^2\\
v_2 &= 2^2=2^1+2^1
\end{aligned}\right\} \quad (3\cdot24)$$

とおけば，仮定 (3·16) 式により

$$\left.\begin{aligned}
&\alpha_{t_0't_0'} \rightleftarrows (\alpha_{(2^{t_0}+1)t} \rightleftarrows (\alpha_{t_0't_0'} \rightleftarrows \alpha_{1t}))\\
&\alpha_{t_0't_1'} \rightleftarrows (\alpha_{(2^{t_1}+1)t} \rightleftarrows (\alpha_{t_1't_1'} \rightleftarrows \alpha_{1t}))\\
&\alpha_{t_1't_2'} \rightleftarrows (\alpha_{(2^{t_2}+1)t} \rightleftarrows (\alpha_{t_2't_2'} \rightleftarrows \alpha_{1t}))\\
&\vdots\\
&\alpha_{t'_{(p-2)}t} \rightleftarrows (\alpha_{(2^{t(p-1)}+1)t} \rightleftarrows (\alpha_{t'_{(p-1)}t} \rightleftarrows \alpha_{1t}))\\
&\alpha_{t'_{(p-1)}t} \rightleftarrows (\alpha_{(2^{(t_p-1)}+1)t} \rightleftarrows (\alpha_{v_{(t_p-1)}t} \rightleftarrows \alpha_{1t}))\\
&\alpha_{v_{(t_p-1)}t} \rightleftarrows (\alpha_{(2^{(t_p-2)}+1)t} \rightleftarrows (\alpha_{v_{(t_p-2)}t} \rightleftarrows \alpha_{1t}))\\
&\alpha_{v_{(t_p-2)}t} \rightleftarrows (\alpha_{(2^{(t_p-3)}+1)t} \rightleftarrows (\alpha_{v_{(t_p-3)}t} \rightleftarrows \alpha_{1t}))\\
&\vdots\\
&\alpha_{v_3t} \rightleftarrows (\alpha_{(2^2+1)t} \rightleftarrows (\alpha_{2^2t} \rightleftarrows \alpha_{1t}))\\
&\alpha_{v_2t} \rightleftarrows (\alpha_{(2^1+1)t} \rightleftarrows (\alpha_{2^1t} \rightleftarrows \alpha_{1t}))
\end{aligned}\right\} \quad (3\cdot25)$$

となる。従って，(3·25) の諸式をそれぞれ代入してまとめれば，

$(p+t_p)$ が偶数ならば，

$$\begin{aligned}
\alpha_{tt} \rightleftarrows (&\alpha_{(2^{t_0}+1)t} \rightleftarrows (\alpha_{(2^{t_1}+1)t} \rightleftarrows (\cdots\\
&\cdots \rightleftarrows (\alpha_{(2^{t(p-1)}+1)t} \rightleftarrows (\alpha_{(2^{(t_p-1)}+1)t}\\
&\rightleftarrows (\alpha_{(2^{(t_p-2)}+1)t} \rightleftarrows (\cdots\cdots \rightleftarrows (\alpha_{(2^2+1)t} \rightleftarrows (\alpha_{(2^1+1)t}\\
&\rightleftarrows (\alpha_{2^1t} \rightleftarrows \alpha_{1t}))\cdots\cdots)
\end{aligned} \quad (3\cdot26)$$

しかして右辺の項数は $\{p+(t_p-1)+2\}=(p+t_p+1)$ 即ち奇数個なり。

$(p+t_p)$ が奇数ならば，

$$\begin{aligned}
\alpha_{tt} \rightleftarrows \Big(&\alpha_{(2^{t_0}+1)t} \rightleftarrows (\alpha_{(2^{t_1}+1)t} \rightleftarrows (\cdots\\
&\cdots \rightleftarrows (\alpha_{(2^{t(p-1)}+1)t} \rightleftarrows (\alpha_{(2^{t_p-1)}+1)t}\\
&\rightleftarrows (\alpha_{(2^{(t_p-2)}+1)t} \rightleftarrows (\cdots\cdots \rightleftarrows (\alpha_{(2^2+1)t} \rightleftarrows (\alpha_{(2^1+1)t}\\
&\rightleftarrows \alpha_{2^1t}))\cdots\cdots)\Big)
\end{aligned} \quad (3\cdot27)$$

しかして右辺の項数は $\{p+(t_p-1)+1\}=(p+t_p)$ 即ち奇数個なり。

α_u も同様にして (3·21), (3·22), (3·26), (3·27) の何れかの如き形に表わされるから，結局 $(\alpha_{tt} \rightleftarrows \alpha_{ut})$ は

$$\begin{aligned}
(\alpha_{tt} \rightleftarrows \alpha_{ut}) \rightleftarrows (&\alpha_{(2^{\omega_0}+1)t} \rightleftarrows (\alpha_{(2^{\omega_1}+1)t} \rightleftarrows (\cdots\\
&\cdots \leftrightarrows (\alpha_{(2^{\omega_{(k-1)}}+1)t} \rightleftarrows \alpha_{(2^{\omega_k}+1)t}))\cdots\cdots)
\end{aligned} \quad (3\cdot28)$$

または

$$\begin{aligned}
(\alpha_{tt} \rightleftarrows \alpha_{ut}) \rightleftarrows (&\alpha_{(2^{\omega_0}+1)t} \rightleftarrows (\alpha_{(2^{\omega_1}+1)t} \rightleftarrows (\cdots\\
&\cdots \rightleftarrows (\alpha_{(2^{\omega_k}+1)t} \rightleftarrows \alpha_{1t}))\cdots\cdots)
\end{aligned} \quad (3\cdot29)$$

または

$$\begin{aligned}
(\alpha_{tt} \rightleftarrows \alpha_{ut}) \rightleftarrows \Big((&\alpha_{(2^{\omega_0}+1)t} \rightleftarrows (\alpha_{(2^{\omega_1}+1)t} \rightleftarrows (\cdots\\
&\cdots \rightleftarrows (\alpha_{(2^{\omega_{(k-1)}}+1)t} \rightleftarrows (\alpha_{(2^{(\omega_k-1)}+1)t}\\
&\rightleftarrows (\alpha_{(2^{(\omega_k-2)}+1)t} \leftrightarrows (\cdots\cdots \rightleftarrows (\alpha_{(2^2+1)t} \rightleftarrows (\alpha_{(2^1+1)t}\\
&\rightleftarrows (\alpha_{2^1t} \rightleftarrows \alpha_{1t}))\cdots\cdots)\Big)
\end{aligned} \quad (3\cdot30)$$

または

$$\begin{aligned}
(\alpha_{tt} \rightleftarrows \alpha_{ut}) \rightleftarrows \Big(&\alpha_{(2^{\omega_0}+1)t} \rightleftarrows (\alpha_{(2^{\omega_1}+1)t} \rightleftarrows (\cdots\\
&\cdots \rightleftarrows (\alpha_{(2^{\omega_{(k-1)}}+1)t} \leftrightarrows (\alpha_{(2^{(\omega_k-1)}+1)t}\\
&\rightleftarrows (\alpha_{(2^{(\omega_k-2)}+1)t} \rightleftarrows (\cdots\cdots \rightleftarrows (\alpha_{(2^2+1)t}\\
&\rightleftarrows (\alpha_{(2^1+1)t} \rightleftarrows \alpha_{2^1t}))\cdots\cdots)\Big)
\end{aligned} \quad (3\cdot31)$$

のいずれかの形に表わされる。

但し，$\alpha_{(2^{\omega_0}+1)t}$, $\alpha_{(2^{\omega_1}+1)t}$, …… 等は $\alpha_{(2^{t_0}+1)t}$, $\alpha_{(2^{t_1}+1)t}$, ……; $\alpha_{(2^{v_0}+1)t}$, $\alpha_{(2^{v_1}+1)t}$, ……; α_{1t} のうちの互に相異なる適当なものである。

ここに，各 u は

$$2^m > u = 2^{u_0} + 2^{u_1} + 2^{u_2} + \cdots\cdots + 2^{u_q} + 1$$

または

$$2^m \geqq u = 2^{u_0} + 2^{u_1} + 2^{u_2} + \cdots\cdots + 2^{u_q}$$

とする。

しかして, $\alpha_{(2^{\omega_0}+1)i}$, $\alpha_{(2^{\omega_1}+1)i}$, …… 等は ——;

α_{ti}, α_{ui} はそれぞれ (3·21), (3·22), (3·26), (3·27) のいずれかの形に展開される故, $(\alpha_{ti} \rightleftarrows \alpha_{ui})$ 即ち, $\alpha_{(2^{\omega_0}+1)i}$, $\alpha_{(2^{\omega_1}+1)i}$, …… 等はそれぞれの展開式中に含まれる共通項を除いたものよりなっている。

しかして, (3·21), (3·22), (3·26), (3·27) の諸式の右辺はすべて奇数個の項数よりなる故, α_{ti}, α_{ui} の右辺の項数をそれぞれ $(2a+1)$ 個, $(2b+1)$ 個とおくことが出来る。今 α_{ti}, α_{ui} の右辺の共通項の項数を c 個とすれば, $(\alpha_{ti} \rightleftarrows \alpha_{ui})$ の右辺の項数は

$$\{(2a+1)-c\}+\{(2b+1)-c\} = 2(a+b-c+1)$$

となり偶数個となる。故に, (3·28) 乃至 (3·31) の諸式の右辺はすべて偶数個よりなる。

故に,

$(\alpha_{ti} \rightleftarrows \alpha_{ui})$ が (3·28) 式で表わされるときは,

$$\alpha_{xi} \rightleftarrows (\alpha_{(2^{\omega_0}+1)i} \rightleftarrows (\alpha_{(2^{\omega_1}+1)i} \rightleftarrows (\cdots \cdots \rightleftarrows (\alpha_{(2^{\omega(k-1)}+1)i} \rightleftarrows (\alpha_{(2^{\omega_k}+1)i} \rightleftarrows \alpha_{1i}))\cdots\cdots) \tag{3·32}$$

とおき,

$(\alpha_{ti} \rightleftarrows \alpha_{ui})$ が (3·29) 式で表わされるときは,

$$\alpha_{xi} \rightleftarrows (\alpha_{(2^{\omega_0}+1)i} \rightleftarrows \alpha_{(2^{\omega_1}+1)i} \rightleftarrows (\cdots \cdots \rightleftarrows (\alpha_{(2^{\omega(k-1)}+1)i} \rightleftarrows \alpha_{(2^{\omega_k}+1)i}))\cdots\cdots) \tag{3·33}$$

とおき,

$(\alpha_{ti} \rightleftarrows \alpha_{ui})$ が (3·30) 式で表わされるときは,

$$\alpha_{xi} \rightleftarrows \Big(\alpha_{(2^{\omega_0}+1)i} \rightleftarrows (\alpha_{(2^{\omega_1}+1)i} \rightleftarrows (\cdots \cdots \rightleftarrows (\alpha_{(2^{\omega(k-1)}+1)i} \rightleftarrows \alpha_{(2^{\omega_k-1})+1)i} \rightleftarrows (\alpha_{(2^{\omega_k-2})+1)i} \rightleftarrows (\cdots\cdots \rightleftarrows (\alpha_{(2^2+1)i} \rightleftarrows (\alpha_{(2^1+1)i} \rightleftarrows \alpha_{2^1 i}))\cdots\cdots)\Big) \tag{3·34}$$

とおき,

$(\alpha_{ti} \rightleftarrows \alpha_{ui})$ が (3·31) 式で表わされるときは,

$$\alpha_{xi} \rightleftarrows \Big(\alpha_{(2^{\omega_0}+1)i} \rightleftarrows (\alpha_{(2^{\omega_1}+1)i} \leftrightarrows (\cdots \cdots \rightleftarrows (\alpha_{(2^{\omega(k-1)}+1)i} \leftrightarrows (\alpha_{(2^{\omega_k-1})+1)i} \rightleftarrows (\alpha_{(2^{\omega_k-2})+1)i} \rightleftarrows (\cdots\cdots \rightleftarrows (\alpha_{(2^2+1)i} \rightleftarrows (\alpha_{(2^1+1)i} \rightleftarrows (\alpha_{2 1_i} \rightleftarrows \alpha_{1 i}))\cdots\cdots)\Big) \tag{3·35}$$

とおけば, (3·32) 式乃至 (3·35) 式で表わされる α_{xi} の項数は奇数個となる。

しかして, (i), (ii) で述べたことより (3·32), (3·33) 両式の場合には, 両式は,

$$x = 2^{\omega_0} + 2^{\omega_1} + \cdots\cdots + 2^{\omega_k} + 1 \tag{3·36}$$

とおいたときの α_{xi} の展開式と一致し, (3·34), (3·35) 両式の場合には, 両式は,

$$x = 2^{\omega_0} + 2^{\omega_1} + \cdots\cdots + 2^{\omega_k} \tag{3·37}$$

とおいたときの α_{xi} の展開式と一致することが解る。

しかして, (3·32) 式乃至 (3·35) 式の構造及び $\omega_0, \omega_1, \cdots, \omega_k$ の定義より

$$x \leqq 2^m \tag{3·38}$$

なること明らかなり。

$$\therefore \quad \alpha_x \in H \tag{3·39}$$

また, (3·32) 式乃至 (3·35) 式による α_{xi} の定義により,

$$(\alpha_{ti} \rightleftarrows \alpha_{ui}) \rightleftarrows (\alpha_{xi} \rightleftarrows \alpha_{1i}) \tag{3·40}$$

しかして, (3·40) 式より $1 \leqq i \leqq n$ なる任意の i について成立する故, [定理 3·12] により

$$\begin{pmatrix} \alpha_t \\ \alpha_u \end{pmatrix} = \begin{pmatrix} \alpha_1 \\ \alpha_x \end{pmatrix} \tag{3·41}$$

$$\therefore \quad \begin{pmatrix} \alpha_1 \\ \alpha_t \end{pmatrix}\begin{pmatrix} \alpha_1 \\ \alpha_u \end{pmatrix} = \begin{pmatrix} \alpha_1 \\ \alpha_x \end{pmatrix} \tag{3·42}$$

しかして, α_t, α_u は H に属する任意の要素にして, また, (3·39) 式により $\alpha_x \in H$ なる故,

$$\left.\begin{aligned} &\begin{pmatrix} \alpha_1 \\ \alpha_t \end{pmatrix}, \begin{pmatrix} \alpha_1 \\ \alpha_u \end{pmatrix}, \begin{pmatrix} \alpha_1 \\ \alpha_x \end{pmatrix} \in \mathfrak{H} \\ &\begin{pmatrix} \alpha_1 \\ \alpha_t \end{pmatrix}\begin{pmatrix} \alpha_1 \\ \alpha_u \end{pmatrix} = \begin{pmatrix} \alpha_1 \\ \alpha_x \end{pmatrix} \in \mathfrak{H} \end{aligned}\right\} \tag{3·43}$$

しかして, $\mathfrak{H} \subset \mathfrak{G}$ なる故, $\mathfrak{H}$ は $\mathfrak{G}$ の分群をなす。

(II) 逆に $\mathfrak{H}$ が $\mathfrak{G}$ の分群をなせば,

$\mathfrak{G}$ は [定理 3·4] により Abel 群をなをなし, 任意の原素の位数は 2 である。しかして, $\mathfrak{H}$ が $\mathfrak{G}$ の分群であれば仮定により $\mathfrak{H}$ の原素の個数は 2^m 個なるにより, $\mathfrak{H}$ の任意の原素は, $\mathfrak{H}$ の適当なる互に相異なる m 個の原素を選んで底表示により表現することが出来る。故に今, その m 個の原素を

$$\begin{pmatrix} \alpha_1 \\ \beta_2 \end{pmatrix}, \begin{pmatrix} \alpha_1 \\ \beta_3 \end{pmatrix}, \begin{pmatrix} \alpha_1 \\ \beta_5 \end{pmatrix}, \cdots\cdots, \begin{pmatrix} \alpha_1 \\ \beta_{(2^k+1)} \end{pmatrix}, \cdots\cdots, \begin{pmatrix} \alpha_1 \\ \beta_{(2^{(m-1)}+1)} \end{pmatrix}$$

で表わせば, $\mathfrak{H}$ の任意の原素 $\begin{pmatrix} \alpha_1 \\ \alpha_x \end{pmatrix}$ は

$$\begin{pmatrix} \alpha_1 \\ \alpha_x \end{pmatrix} = \begin{pmatrix} \alpha_1 \\ \beta_2 \end{pmatrix}^{y_0}\begin{pmatrix} \alpha_1 \\ \beta_3 \end{pmatrix}^{y_1} \cdots\cdots \begin{pmatrix} \alpha_1 \\ \beta_{(2^k+1)} \end{pmatrix}^{y_k} \cdots \cdots \begin{pmatrix} \alpha_1 \\ \beta_{(2^{(m-1)}+1)} \end{pmatrix}^{y_{(m-1)}} \tag{3·44}$$

但し，各 y は0又は1のいずれかの値をとる。

で表現出来る。

いま，$y_0, y_1, \cdots, y_{(m-1)}$ のうち $y_{k_1}=y_{k_2}=\cdots=y_{k_l}=1$ $(k_1>k_2>\cdots>k_l$ とする) でそれ以外の y はすべて0なるときは (3·44) 式は

$$\binom{\alpha_1}{\alpha_x}=\binom{\alpha_1}{\beta_{(2^{k_1}+1)}}\binom{\alpha_1}{\beta_{(2^{k_2}+1)}}\cdots\cdots\binom{\alpha_1}{\beta_{(2^{k_l}+1)}} \quad (3\cdot45)$$

$$=\binom{\alpha_1}{\beta_z} \quad \text{とおく} \quad (3\cdot45')$$

しかして，

$$k_l=0,\ k_{(l-1)}=1,\ k_{(l-2)}=2,\ \cdots\cdots,\ k_1=l-1$$

なるときは

$$z=2^l \quad (3\cdot46)$$

と定義し，$k_1, k_2, \cdots k_l$ がしからざるときは

$$z=2^{k_1}+2^{k_2}+\cdots\cdots+2^{k_l} \quad (3\cdot47)$$

と定義する。

しからば (3·46) 式の場合は

$$\binom{\alpha_1}{\beta_z}=\binom{\alpha_1}{\beta_{(2^{l-1}+1)}}\cdot\binom{\alpha_1}{\beta_{(2^{l-1})}} \quad (3\cdot48)$$

となる故，また (3·47) 式の場合は

$$\binom{\alpha_1}{\beta_z}=\binom{\alpha_1}{\beta_{(2^{k_1}+1)}}\cdot\binom{\alpha_1}{\beta_{k'}} \quad (3\cdot49)$$

但し，$k'=2^{k_2}+2^{k_3}+\cdots+2^{k_l}$ とする

となるから，(3·48), (3·49) 両式はいずれも

$$\binom{\alpha_1}{\beta_{(2^r+s)}}=\binom{\alpha_1}{\beta_{(2^r+1)}}\cdot\binom{\alpha_1}{\beta_s} \quad (3\cdot50)$$

但し，$1\leqq s\leqq 2^r$

なる形を有する。故に (3·50) 式は [定理 3·12] により，

$$\beta_{(2^r+s)i}\rightleftarrows(\beta_{(2^r+1)i}\rightleftarrows(\beta_{si}\rightleftarrows\beta_{1i}))$$

となる。これは，(3·16) 式である。故に H を

$$H=\{\beta_1, \beta_2, \cdots\cdots, \beta_{2^m}\}$$

但し，$\beta_1=\alpha_1$

の如く配列すれば (3·16) 式が成立する。

【定理 3·14】

(2·13), (2·17) 両式で定義した如く，

$$G^n_{ij}\rightleftarrows(X^1_{ij}\vee X^2_{ij}\vee\cdots\cdots\vee X^n_{ij})$$

(但し $X^k_{ij}\rightleftarrows(x_{ik}\rightleftarrows\sim x_{jk})$，$1\leqq k\leqq n$

なるとき，

$$G^n_{12}G^n_{13}\cdots\cdots G^n_{1m}$$
$$G^n_{23}\cdots\cdots G^n_{2m}$$
$$\vdots$$
$$G^n_{(m-1)m}\equiv\mathfrak{B}^n_m \quad \text{とおき}$$

$$\overset{m}{\underset{2^r+s=1}{\mathrm{A}}}\ \overset{n}{\underset{k=1}{\mathrm{A}}}\ (x_{(2^r+s)k}\rightleftarrows(x_{(2^r+1)k}\rightleftarrows(x_{sk}\rightleftarrows x_{1k}))=\mathfrak{C}_m$$

但し (1) $1\leqq s\leqq 2^r$

(2) $\overset{m}{\underset{2^r+s=1}{\mathrm{A}}}$ は $2^r+s=2, 3, \cdots, m$ について，$\overset{n}{\underset{k=1}{\mathrm{A}}}$ は $k=1, 2, \cdots, n$ について，論理積することを意味するものとする。

とおけば，

$m\leqq 2^n$ ならば $\mathfrak{B}^n_m\cdot\mathfrak{C}_m\neq 0$

$m>2^n$ ならば $\mathfrak{B}^n_m\cdot\mathfrak{C}_m\equiv 0$

【証明】

(2·19) 式により

$$\left.\begin{array}{l} m\leqq 2^n \text{ ならば } \mathfrak{B}^n_m\neq 0 \\ m>2^n \text{ ならば } \mathfrak{B}^n_m\equiv 0 \end{array}\right\} \quad (3\cdot51)$$

しかるに，n 個の命題変項よりなる特殊加法標準形の総項数は 2^n 個であり，$\mathfrak{G}$ は [定理 3·4] により Abel 群をなす故，[定理 3·13] により特殊加法標準形の各項を適当に配列すれば，任意の i $(1\leqq i\leqq n)$ について，

$$x_{(2^r+s)i}\rightleftarrows(x_{(2^r+1)i}\rightleftarrows(x_{si}\rightleftarrows x_{1i}))$$

が成立する。故に，これは

$$\mathfrak{C}_m\rightleftarrows 1$$

が成立することに他ならない。

しかして，行列 (2·1) より明らかなる如く，その行，列を如何様に変えても $\mathfrak{B}^n_m$ は不変であるから

$m\leqq 2^n$ ならば $\mathfrak{B}^n_m\cdot\mathfrak{C}_m\equiv 0$

$m>2^n$ ならば $\mathfrak{B}^n_m\cdot\mathfrak{C}_m\equiv 0$

§§4. m_0 の評価

ここで m_0 とは §3·2 で定義したものである。

本§では行列 (2·1) の各行 $x_{i1}, x_{i2}, \cdots, x_{in}$ $(1\leqq i\leqq m)$ を $x_1, x_2, \cdots\cdots, x_n$ なる n 個の命題変項よりなる特殊加法標準形の一つの項と見做すとき行列 (2·1) の任意の一行を底として固底すれば各行に対応する置換の集合は $m=m_0$ なるとき群をなすことを証明する。しかして，それは特殊加法標準形群 $\mathfrak{G}$ の分群をなす故，その位数 m_0 は 2^k (k は正整数) なる形で表現される。しかるに，(2·22) 式により $2\leqq m_0\leqq 2^{n-p+1}$ なる故，k は

$$1\leqq k\leqq n-p+1 \quad (4\cdot1)$$

なる整数となる。

【定理 4·1】 $x_{i1}, x_{i2}, \cdots, x_{in}$ なる n 個の命題変項よりなる特殊加法標準形の項の一つを α_i で表わすことにし，集合 H を

$$H=\{\alpha_1, \alpha_2, \cdots\cdots, \alpha_m\}$$

とする。

今，$\mathfrak{A}_m\neq 0$ とするとき，$\mathfrak{A}_m$ を各 x_{ij} の特殊加法標

準形に展開したとき，$\alpha_1\cdot\alpha_2\cdot\cdots\cdot\alpha_m$ がその一つの項であるとする。しかるとき，

$$\mathfrak{H}^m=\left\{\binom{\alpha_1}{\alpha_1},\binom{\alpha_1}{\alpha_2},\cdots\cdots,\binom{\alpha_1}{\alpha_m}\right\}$$

が群をなさなければ

$$\mathfrak{A}_{m+1}\neq 0$$

但し $\mathfrak{A}_m$ は (2·4′) 式で定義したものである。

【証明】

H に属する任意の要素を α_i とするとき

$$\mathfrak{H}_i^m=\left\{\binom{\alpha_i}{\alpha_1},\binom{\alpha_i}{\alpha_2},\cdots\cdots,\binom{\alpha_i}{\alpha_m}\right\}\qquad(4\cdot2)$$

とおけば

$$\mathfrak{H}_i^m=\mathfrak{H}_1^m\qquad(4\cdot3)$$

さて，$\mathfrak{H}^m$ がもし群をなせば $\mathfrak{H}^m\subset\mathfrak{G}$ なる故 $\mathfrak{G}$ の分群である。故に [定理 3·5]，[任意 3·4] により

$$\mathfrak{H}^m=\mathfrak{H}_1^m=\mathfrak{H}_2^m=\cdots\cdots=\mathfrak{H}_m^m\qquad(4\cdot4)$$

故に，任意の $\alpha_i,\alpha_j\in H$ (但し $i\neq1$, $j\neq1$, $i\neq j$) をとるとき (4·2) 式により

$$\binom{\alpha_i}{\alpha_j}\in\mathfrak{H}_i^m\qquad(4\cdot5)$$

なる故，$\mathfrak{H}^m$ が群をなせば

$$\binom{\alpha_i}{\alpha_j}=\binom{\alpha_1}{\alpha_k}\in\mathfrak{H}^m\qquad(4\cdot6)$$

なる $\binom{\alpha_1}{\alpha_k}$ が存在する。

故に，$\mathfrak{H}^m$ が群をなさないならば，ある $\alpha_i,\alpha_j\in H$ (但し $i\neq1$, $j\neq1$, $i\neq j$) をとったとき $\binom{\alpha_i}{\alpha_j}$ が $\mathfrak{H}^m$ のすべての要素に等しくないような，即ち

$$\binom{\alpha_i}{\alpha_j}\neq\binom{\alpha_1}{\alpha_1},\binom{\alpha_1}{\alpha_2},\cdots\cdots,\binom{\alpha_1}{\alpha_m}\qquad(4\cdot7)$$

の如き $\binom{\alpha_i}{\alpha_j}$ が存在する。

さて，$\binom{\alpha_i}{\alpha_j}\neq\binom{\alpha_1}{\alpha_l}$ ならば

$$\binom{x_{i1},x_{i2},\cdots\cdots,x_{in}}{x_{j1},x_{j2},\cdots\cdots,x_{jn}}\neq\binom{x_{11},x_{12},\cdots\cdots,x_{1n}}{x_{l1},x_{l2},\cdots\cdots,x_{ln}}\qquad(4\cdot8)$$

故に，[定理 3·12] により

$$\sim\bigwedge_{k=1}^{n}\{x_{ik}\rightleftarrows(x_{jk}\rightleftarrows(x_{lk}\rightleftarrows x_{ik}))\}\rightleftarrows1\qquad(4\cdot9)$$

しかして

$$\begin{aligned}&\sim\bigwedge_{k=1}^{n}\{x_{ik}\rightleftarrows(x_{jk}\rightleftarrows(x_{lk}\rightleftarrows x_{ik}))\}\\&\rightleftarrows\sim\bigwedge_{k=1}^{n}\{x_{ik}\rightleftarrows\sim x_{jk})\rightleftarrows(x_{lk}\rightleftarrows\sim x_{ik})\}\\&\rightleftarrows\sim\bigwedge_{k=1}^{n}(X_{ij}^k\rightleftarrows X_{lj}^k)\\&\rightleftarrows\bigvee_{k=1}^{n}(X_{ij}^k\rightleftarrows\sim X_{ll}^k)\end{aligned}\qquad(4\cdot10)$$

故に，(3·9) 式が成立すれば (4·10) 式により

$$X_{ij}^k\rightleftarrows\sim X_{ll}^k\qquad(4\cdot11)$$

なる k が存在する。但し $1\leqq k\leqq n$

しかるに，[定理 2·5] により

$$F_{ij}\rightleftarrows\bigwedge_{n}^{q}(X_{ij}^{r_1}\vee X_{ij}^{r_2}\vee\cdots\cdots\vee X_{ij}^{r_q})\qquad(4\cdot12)$$

但し $q=n-p+1$

なる故，いま，

$$G_{ij}^{r_1r_2\cdots r_q}\rightleftarrows(X_{ij}^{r_1}\vee X_{ij}^{r_2}\vee\cdots\cdots\vee X_{ij}^{r_q})\qquad(4\cdot13)$$

とおき，

$$\begin{aligned}&G_{12}^{r_1r_2\cdots r_q}G_{13}^{r_1r_2\cdots r_q}\cdots\cdots G_{1m}^{r_1r_2\cdots r_q}\\&\quad G_{23}^{r_1r_2\cdots r_q}\cdots\cdots G_{2m}^{r_1r_2\cdots r_q}\\&\qquad\vdots\\&\qquad G_{(m-1)m}^{r_1r_2\cdots r_q}\rightleftarrows\mathfrak{B}_m^{r_1r_2\cdots r_q}\end{aligned}\qquad(4\cdot14)$$

とおけば

$$\mathfrak{A}_m\rightleftarrows\bigwedge_{n}^{q}\mathfrak{B}_m^{r_1r_2\cdots r_q}\qquad(4\cdot15)$$

故に，$\mathfrak{A}_m$ は任意の $\mathfrak{B}_m^{r_1r_2\cdots r_q}$ と $\mathfrak{B}_m^{r_1'r_2'\cdots r_q'}$ とを交換しても不変であり，$\mathfrak{B}_m^{r_1r_2\cdots r_q}$ は任意の X^{r_i} と X^{r_j} とを交換しても不変であるから，結局，(4·11) 式が成立すれば $\mathfrak{A}_m$ は

$$\begin{aligned}&\bigwedge_{n}^{q}\left\{(X_{ij}^{r_1}\rightleftarrows\sim X_{ll}^{r_1})\vee(X_{ij}^{r_2}\rightleftarrows\sim X_{ll}^{r_2})\vee\cdots\right.\\&\qquad\left.\cdots\vee(X_{ij}^{r_q}\rightleftarrows\sim X_{ll}^{r_q})\right\}\end{aligned}\qquad(4\cdot16)$$

なる論理積因子を有する。

仮定により，$i\neq1$, $j\neq1$, $i\neq j$ にして，又 (4·7) 式が成立するから

$$X_{ij}^{r_k}\rightleftarrows X_{1(m+1)}^{r_k}\qquad(4\cdot17)$$

とせば

$$\alpha_{m+1}=(x_{(m+1)1},x_{(m+1)2},\cdots\cdots,x_{(m+1)n})\notin H\qquad(4\cdot18)$$

しかして，(4·16)，(4·17) 両式により

$$\begin{aligned}&\bigwedge_{n}^{q}\left\{(X_{ij}^{r_1}\rightleftarrows\sim X_{ll}^{r_1})\vee(X_{ij}^{r_2}\rightleftarrows\sim X_{ll}^{r_2})\vee\cdots\right.\\&\qquad\left.\cdots\vee(X_{ij}^{r_q}\rightleftarrows\sim X_{ll}^{r_q})\right\}\\&\rightleftarrows\bigwedge_{n}^{q}\left\{(X_{1(m+1)}^{r_1}\rightleftarrows\sim X_{ll}^{r_1})\vee(X_{1(m+1)}^{r_2}\rightleftarrows\sim X_{ll}^{r_2})\vee\cdots\right.\\&\qquad\left.\cdots\vee(X_{1(m+1)}^{r_q}\rightleftarrows\sim X_{ll}^{r_q})\right\}\\&\rightleftarrows\bigwedge_{n}^{q}\left\{X_{l(m+1)}^{r_1}\vee X_{l(m+1)}^{r_2}\vee\cdots\cdots\vee X_{l(m+1)}^{r_q}\right\}\end{aligned}\qquad(4\cdot19)$$

[定理 2·5] により (4·19) 式は $F_{l(m+1)}^{\ \ n}$ に他ならない。故に，

$$\mathfrak{A}_m F_{t(m+1)} \neq 0 \tag{4·20}$$

しかるに，(4·7) 式により $\begin{pmatrix}\alpha_i\\ \alpha_j\end{pmatrix}$ は $\mathfrak{H}^m$ のすべての要素と異なる故，

$$\mathfrak{A}_m F_{1(m+1)} F_{2(m+1)} \cdots\cdots F_{m(m+1)} \neq 0 \tag{4·21}$$

即ち，

$$\mathfrak{A}_{m+1} \neq 0 \tag{4·22}$$

【定理 4·2】 行列 (2·1) において $m=m_0$ なるとき $\mathfrak{H}^{m_0}$ は $\mathfrak{G}$ の分解をなす。従って Abel 群をなす。故に，

$$m_0 = 2^k$$

但し k は $1 \leqq k \leqq n-p+1$ なる整数

なる形を有する。

【証明】

$\mathfrak{A}_{m_0}$ において，$\mathfrak{H}^{m_0}$ が群をなさなければ [定理 4·1] により，

$$\mathfrak{A}_{m_0+1} \neq 0 \tag{4·23}$$

しかるに，(2·6) 式により

$$m > m_0 \text{ なら } \mathfrak{A}_m \equiv 0$$

$$\therefore \quad \mathfrak{A}_{m_0+1} \equiv 0 \tag{4·24}$$

これは，(4·23) 式に矛盾する。故に $\mathfrak{H}^{m_0}$ は $\mathfrak{G}$ の分群をなす。故に Abel 群なり。故に原素の個数は 2^k なる形となる。しかして，(2·22) 式により k は

$$1 \leqq k \leqq n-p+1$$

なる整数である。

以上で大体述べたが，次に関聯のある定理を述べる。

【定理 4·3】 H において，α_1 と $\alpha_2, \alpha_3, \cdots, \alpha_m$ との最小距離が p $(p \leqq n)$ であり，且つ $\mathfrak{H}_1^m$ が群をなせば，$\alpha_1, \alpha_2, \cdots\cdots, \alpha_m$ 相互の間の最小距離は p である。但し H, $\mathfrak{H}$ 等は [定理 4·1] で定義したものである。

【証明】

$\mathfrak{H}_1^m$ が群をなす故，$\alpha_i, \alpha_j \in H$ なる任意の α_i, α_j について，

$$\begin{pmatrix}\alpha_i\\ \alpha_j\end{pmatrix} = \begin{pmatrix}\alpha_1\\ \alpha_i\end{pmatrix}\begin{pmatrix}\alpha_1\\ \alpha_j\end{pmatrix} = \begin{pmatrix}\alpha_1\\ \alpha_k\end{pmatrix} \in \mathfrak{H}_1^m \tag{4·25}$$

なる $\begin{pmatrix}\alpha_1\\ \alpha_k\end{pmatrix}$ が存在する。

$$\therefore \quad \alpha_k \in H \tag{4·26}$$

しかして，仮定により，α_1, α_k の距離は p より小でない故，(4·25) 式により α_i, α_j の距離も p より小でない。α_i, α_j は任意である故に，$\alpha_1, \alpha_2, \cdots, \alpha_m$ の相互の間の最小距離は p である。

【例 4·1】 $p=2$ なるときは，

$$\begin{pmatrix}0,0,0,\cdots,0\\ 1,1,0,\cdots,0\end{pmatrix}, \begin{pmatrix}0,0,0,0,\cdots,0\\ 0,1,1,0,\cdots,0\end{pmatrix}, \cdots\cdots, \begin{pmatrix}0,0,\cdots,0,0,0\\ 0,0,\cdots,0,1,1\end{pmatrix}$$

なる $(n-1)$ 個による底表示で群のすべての原素が表現出来，又 $n-p+1=n-2+1=n-1$ なる故

$$m_0 = 2^{n-1}$$

である。

【附記 4·1】

$r_1, r_2, \cdots, r_n$ なる n 個の命題変項よりなる特殊加法標準形の各項は，n 次元空間の一辺の長さ 1 なる n 次元立方体の頂点の座標を表わすと考えられるから，その頂点間の最小距離が p である如き頂点の個数の最大を m_0 は与えるものである。

故に，本論文で述べた如き方法は，結晶学の理論にも今後応用出来るであろう。

以上で大体を述べたが，緒論にも記した如く，論理数学は不連続的な問題の解析に適しているので，今後も通常の数学とかみ合せて種々の方面へ応用したいと考えるものである。

擱筆するに当り，電気試験所長後藤以紀博士より種々，御指導を賜ったことをここに謹く感謝する次第である。

昭和28年1月18日

4 Work of Yasuo Komamiya in Coding Theory

In 1964, Komamiya visited Digital Computer Laboratory of University of Illinois, Urbana, Ilinois, USA, and worked in coding theory. The result of his stay and work in this lab was a report

Komamiya, Y., *General Theory of Most Efficient Codes*, Report No. 163, June 9, 1964, 126 pages.

We reprinted first four pages of this report (pages 107 to 110).

The work of Yasuo Komamiya in coding theory was favorably referenced in

Meir, O., "Locally correctable and testable codes approaching the singleton bound", *Electronic Colloquium on Computational Complexity*, Report No. 107, 2014, 1-16, ISSN 1433-8092. Reference to

Y. Komamiya, "Application of logical mathematics to information theory", *Proc. 3rd Japan. Nat. Cong. Appl. Math.*, 1953.

by explaining that Komamiya was a forerunner in determining the upper bound on the number of valid codewords in a linear code.

In coding theory, distance of two codewords is defined as the number of bits in which the sequences differ each to other. In a code C the minimum distance of two codewords defines the minimum distance of the code. The expression

$$A_q(n,d) \leq q^{n-d+1},$$

determines upper bound for the maximum number of possible valid codewords in a q-ary code of length n and minimum distance d. This bound is usually called the Singleton bound in the honour of Richard Collom Singleton due to his work
Singleton, R.C., "Maximum distance q-nary codes", *IEEE Trans. Inf. Theory*, Vol. 10, No. 2, 1964, 116-118.

In the book Welsh, D., *Codes and Cryptography*, Oxford University Press, 1988, ISBN 0-19-853287-3, Section 4.9 (Conclusion, Problems 4, problem 8) , page 72, it is stated that the same bound can be found in the paper by Yasuo Komamiya

Komamiya, Y., "Application of logical mathematics to information theory", *Proc. 3rd Japan. Nat. Cong. Appl. Math.*, 1953, 437.

The same statement about the result of Komamiya can be found also in

MacWilliams, F.J., Sloane, N.J.A., *The Theory of Error Correcting Codes*, Elsevier, 1977, Part 2, Chapter 1, Paragraph 10, *Some general properties of a linear code*, at page 437.

Joshi, D.D., "A note on upper bounds for minimum distance codes", *Information and Control*, Vol. 1, No. 3, 1958, 289295.

Meir, O., "Locally correctable and testable codes approaching the singleton bound", Department of Computer Science and Applied Mathematics, Weizmann Institute of Science, Rehovot 76100, Israel, 2014, 1-16.

In Imai, H., Hagiwara, M., "The origin of the coding theory in Japan", *Fundamentals Review*, Vol. 2, No. 4, 9-15, it is given a reference to the work of Yasuo Komamiya

Komamiya, Y., "General theory of most efficient codes", Report No. 163, NBS 6420479 (Box 277, folder 6), June 1964.

DIGITAL COMPUTER LABORATORY

UNIVERSITY OF ILLINOIS

URBANA, ILLINOIS

REPORT NO. 163

GENERAL THEORY OF MOST EFFICIENT CODES

by

Yasuo Komamiya

June 9, 1964

ACKNOWLEDGMENT

The author wishes to thank Professor David E. Muller for a number of helpful discussions in connection with this report, and Mrs. Phyllis Olson for her skillful typing of this paper.

TABLE OF CONTENTS

1. INTRODUCTION

In this paper, the number of most efficient binary codes and the construction methods are discussed in general, where the most efficient binary codes mean codes with a minimum Hamming distance of p.

The most efficient binary codes are defined mathematically as follows:

$$M(n,p) = \begin{pmatrix} x_{11}, & x_{12}, & x_{13}, & \ldots, & x_{1n} \\ x_{21}, & x_{22}, & x_{23}, & \ldots, & x_{2n} \\ x_{31}, & x_{32}, & x_{33}, & \ldots, & x_{3n} \\ \vdots & & & & \\ x_{m1}, & x_{m2}, & x_{m3}, & \ldots, & x_{mn} \end{pmatrix} \tag{1.1}$$

Consider the matrix $M(n,p)$, where $(x_{i1},x_{i2},\ldots,x_{in})$ for $1 \leq i \leq m$ is an n digit binary code. Accordingly, x_{ij} is 1 or 0 and m is the number of most efficient binary codes. Here

$$|x_{i1} - x_{j1}| + |x_{i2} - x_{j2}| + \ldots + |x_{in} - x_{jn}| \geq p \quad \text{for any } i \neq j;\ 1 \leq i,\ j \leq m$$

where p is the minimum Hamming distance.

The purpose of this paper is to obtain maximum m and the value of each x_{ij}.

In Section 2, a theorem which plays an important role in the coding problem is discussed.

In Section 3, the matrix $H(n,p)$ (by which the coding problem can be discussed in general) is introduced, and general theory discussed. As a result, the coding problem is reduced to the problem of determining the independence of some vectors.

In Section 4, the characteristic values of $H(n,p)$ are discussed.

5 Patents by Yasuo Komamiya

In the patent No. 3,444,392, submitted on July 21, 1965, patented on May 13, 1969, under the title *Burst Input Reactance Coupled Asynchronous Logic Circuit*, by Yasuo Komamiya and Takeji Sugiyama, the ternary logic is used by allowing that switching variables can take values $0, \frac{1}{2}, 1$. The logical sum, logical product and related expressions are defined.

Another patent where Prof. Komamiya was involved as the principal author is the patent No. 3,508,078, *Fail-Safe Type Logic Circuit System*, by Yasuo Komamiya, Seiji Tsuchiya, Noriaki Takeuchi, Kenji Okamoto, submitted on September 1, 1966, and patented on April 21, 1970, is related to fault-tolerant (fault-safe in the original expression) logic circuit systems.

UDC 164:519.4

論理数学の Information Theory への應用

(群論の論理数学への応用)

Application of Logical Mathematics to Information Theory
(Application of theory of Group to Logical Mathematics)

(1953, 1, 31 受付)

駒宮安男*
Y. Komamiya

§1. 緒言

最近 information theory なるものが勃興し, 盛んに研究されているが, information 源が離散的な場合は, 結局が符号は二進符号と考えられるので, その符号化の問題を解析する手段として, 論理数学を応用することを提唱する。

従来 連続的な問題は解析学に, 又ので解析しやすいが, 不連続的な問題は数学的にも未解決な問題が多く, 解析しにくいのである。しかるに, 論理数学 二値一般には有限多値)は不連続的な値を取扱うので, かかる問題に応用すると便利なことが多い。

ここでは, その一応用として, 離散的且つ雑音を含む場合の符号化 (coding) の個数の限界について論ずる。この問題は現在, 未解決であり, 最適符号化 (efficient coding) を求める問題にも関聯して, 通信工学は言うに及ばず, 迷次自動計算機等においても極めて重要である。

本論文においては, 求める限界を与える一般式を論理式 (二値) で与え, 論理数学 (二値) に群論を応用し, その限界においては code はある結合規則の下ですべての原素の位数が2である如き Abel 群をなすことを証明する。

論理数学に群論を応用することは, 新しい試みであり, 従ってそれに伴う若干の基礎理論をも論ずる。

なお, 本論文において用いる論理記号としては, 否定, 論理積, 論理和, 対等をそれぞれ $\sim$, $\cdot$, $\vee$, $\rightleftarrows$ で表わすものとし, 記号の強弱は下記の順で, 左が一番強いものとする。

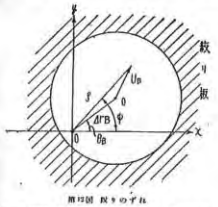
(通常の数学の記号) $=, \sim, \cdot, \vee, \rightleftarrows, \equiv$

しかして, 間違いの虞れなき場合は, 論理積の記号 $\cdot$ は省略することがあるものとする。

§2. 一般式

information 源が離散的且つ雑音を含む場合の符号化 (coding) の個数の限界を求める問題は, これを数学

* 地理部



第1図 反射のずれ

"コマ性球面収差" 及び "彗星収差" に分類される。

(b) 像の移動

その2において述べた如く, 像の移動はそれ自身としては電子レンズの収差にはならないが, 現在の如く多段レンズ型顕微鏡においては, 組合して収差が現われてくる。その他に電子顕微鏡の調節, 操作において, アンペアターンを変化するとその都度各段のレンズが軸を移動するような結果となり, 非常に不便を感じることになる。(1952, 12, 12)

参考文献

(1) 例えば, 谷安正著 静電場
(2) 井上: 電子顕像鏡の軸非対称収差, 電試彙 13, 6, p. 170.
(3) 井上: 電子顕像鏡用電子レンズの軸非対称収差について(その2) 電試彙 16, 7 p. 501.
(4) 井上: 電子顕像鏡電子レンズの軸非対称収差について(その1) 電試彙 16, 6 p. 443.

的に表現すると次の如くなる。

いま, 符号 (code) は n 個の二進符号からなるものとし, その最小距離[1]を p とする。しかして,

$$\begin{pmatrix} x_{11}, & x_{12}, & x_{13}, & \cdots\cdots, & x_{1n} \\ x_{21}, & x_{22}, & x_{23}, & \cdots\cdots, & x_{2n} \\ \vdots & & & & \\ x_{m1}, & x_{m2}, & x_{m3}, & \cdots\cdots, & x_{mn} \end{pmatrix} \tag{2·1}$$

(ここに, 各 x_{ij} は 0 又は 1 なる値をとるものとする。)

なる行列を考えるとき,

$$|x_{i1}-x_{j1}|+|x_{i2}-x_{j2}|+\cdots+|x_{in}-x_{jn}|\geqq p \tag{2·2}$$
但し $i \neq j$, $1\leqq i,\ j\leqq m,\ n\geqq p\geqq 1$

を満足する m の最大値を求めればよいことになる。

さて, m の最大値を求めることは, 通常の数学では容易でないが, 論理数学を用いて (2·2) 式を書き換えると便利であるが, そのため若干の補助定理をまず, 述べる。

【定理 2·1】 x, y を二値命題変項と見做すとき,

$$|x-y| \rightleftarrows (x \rightleftarrows \sim y)$$

【証明】

$|x-y|$ を表わす二値命題函数を $f(x, y)$ とせば,

$$|x-y| \equiv f(x, y) \tag{2·3}$$
$$\rightleftarrows f(1,1)xy \vee f(1,0)x\sim y \vee f(0,1)\sim xy \vee f(0,0)\sim x\sim y \tag{2·3'}$$

となる故, (第2·1表) により (2·3') の各係数を決定すれば

x	1	1	0	0
y	1	0	1	0
$\lvert x-y\rvert$	0	1	1	0

(第2·1表)

$$\therefore\ |x-y| \rightleftarrows (x \rightleftarrows \sim y)$$

【定理 2·2】 $A_1, A_2, \cdots, A_n$ は 0 又は 1 なる値をとるとき

$$A_1+A_2+\cdots\cdots+A_n \geqq p$$

なる命題を F で表わせば

$$F \rightleftarrows \bigvee_n^p (A_{r_1} \cdot A_{r_2} \cdot \cdots\cdots \cdot A_{r_p})$$

但し $n\geqq p\geqq 1$

$\bigvee_n^p (A_{r_1} \cdot A_{r_2} \cdot \cdots \cdot A_{r_p})$ は $A_1, A_2, \cdots, A_n$ から任意の p 個をとって論理併しし, そのすべての組合せを論理和することを意味するものとする。

【証明】

$A_1, A_2, \cdots, A_n$ は 0 又は 1 なる値をとるのみなる故,

$$A_1+A_2+\cdots\cdots+A_n \geqq p$$

なるためには, 少くとも $A_1, A_2, \cdots, A_n$ のうち p 個以上は 1 にならねばならないから

$$F \rightleftarrows \bigvee_n^p (A_{r_1} \cdot A_{r_2} \cdot \cdots\cdots \cdot A_{r_p})$$

で表わされることは明らかである。

以上の定理を用いて (2·2) 式を論理式で表わせば, 次の如くなる。

【定理 2·3】 (2·2) 式を表わす命題を F_{ij} とせば

$$F_{ij} \rightleftarrows \bigvee_n^p (X_{ij}^{r_1} \cdot X_{ij}^{r_2} \cdot \cdots\cdots \cdot X_{ij}^{r_p})$$

にして,

$$F_{ij} \rightleftarrows F_{ji}$$

ここに,

$$X_{ij}^k \equiv (x_{ik} \rightleftarrows \sim x_{jk})$$
$$1\leqq k\leqq n,\ n\geqq p\geqq 1$$

【証明】

[定理 2·1], [定理 2·2] により明らかである。

さて, 前述により (2·2) 式は, $i \neq j$, $1\leqq i,\ j\leqq m$ なる任意の整数 i, j について成立する故

$$\begin{matrix} F_{12}F_{13}F_{14}\cdots\cdots F_{1m} \\ F_{23}F_{24}\cdots\cdots F_{2m} \\ F_{34}\cdots\cdots F_{3m} \\ \vdots \\ F_{(m-1)m} \end{matrix} \rightleftarrows 1 \tag{2·4}$$
($\equiv \mathfrak{A}_m$ で表わすことにする)
(2·4')

が成立する。故に, 求める m は

$$\mathfrak{A}_m \rightleftarrows 1 \tag{2·5}$$

ならしめる m の最大値を求めればよいことになる。即ち, $\mathfrak{A}_m \rightleftarrows 1$ ならしめる m の最大値を m_0 とせば, $m_0<m$ なる任意の整数 m について $\mathfrak{A}_m$ は恒等的に 0 となる。即ち,

$$m>m_0 \text{ なら } \mathfrak{A}_m \equiv 0 \tag{2·6}$$

故に, $\mathfrak{A}_m$ を各 x_{ij} $(1\leqq i\leqq m,\ 1\leqq j\leqq n)$ に関する特殊加法標準形に展開したとき, その項数が 0 となる m の最小値を求めれば (今, それを $m_{\min}$ とす),

$$m_0 = m_{\min} - 1 \tag{2·7}$$

となる。

【例 2·1】 $n=1$, $p=1$ なるとき

この場合は

$$F_{ij} \rightleftarrows X_{ij}^1$$

となる。しかるに,

$$F_{12}F_{13}F_{23} \rightleftarrows (x_{11} \rightleftarrows \sim x_{21})(x_{11} \rightleftarrows \sim x_{31})(x_{21} \rightleftarrows \sim x_{31}) \equiv 0$$

$\therefore\ m_{\min}=3 \qquad \therefore\ m_0=3-1=2$

1) Hamming, R. W. Error detecting and correcting codes, B. S. T. J. 29 (1950) pp. 147–159.

May 13, 1969 YASUO KOMAMIYA ET AL 3,444,392

BURST INPUT REACTANCE COUPLED ASYNCHRONOUS LOGIC CIRCUIT

Filed July 21, 1965 Sheet 1 of 5

Fig. 1

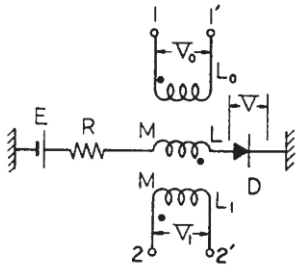


Fig. 2

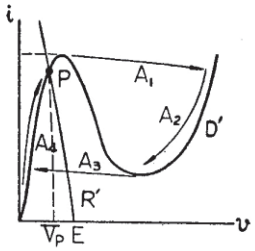


Fig. 3

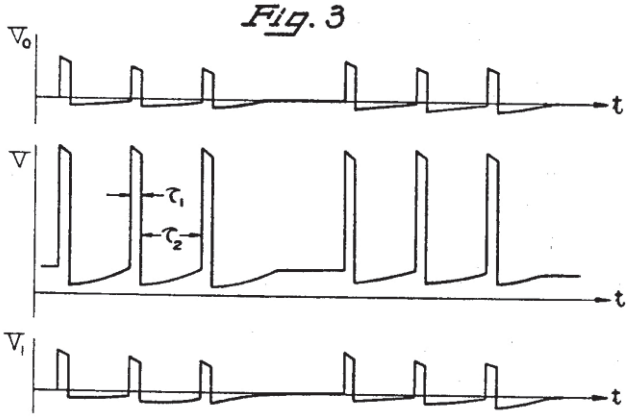


Fig. 4

Fig. 5

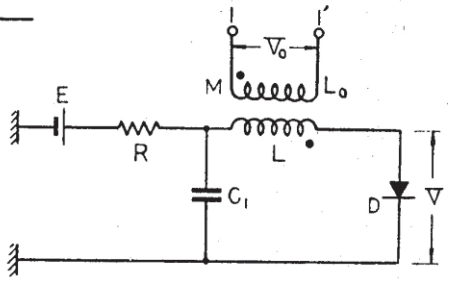
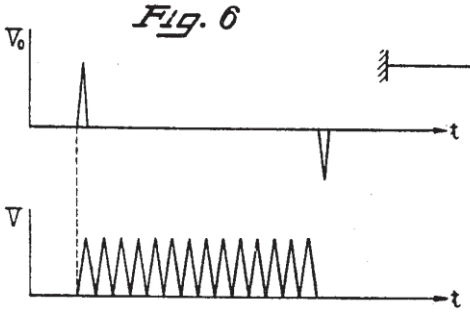


Fig. 6



INVENTOR.
Yasuo Komamiya
Takeji Sugiyama
BY Ernest F. Hemstapel
Attorney

Fig. 7

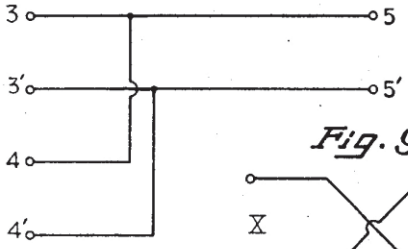


Fig. 8

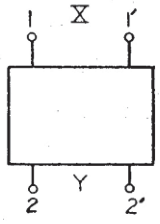


Fig. 9

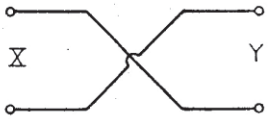


Fig. 10

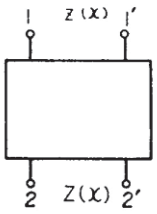


Fig. 11

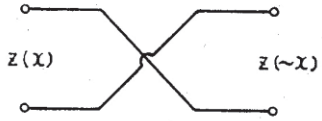


Fig. 12

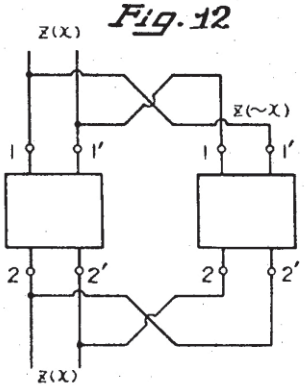


Fig. 13

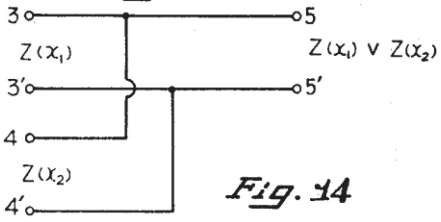


Fig. 14

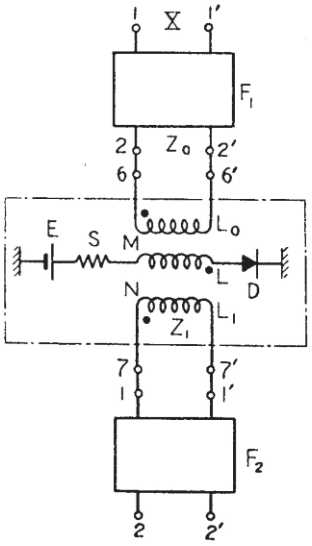
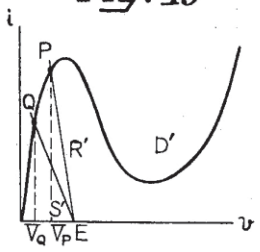


Fig. 15



INVENTOR.
Yasuo Komamiya
Takeji Ingiyama
BY Emmett Montague
Attorney

May 13, 1969 YASUO KOMAMIYA ET AL 3,444,392

BURST INPUT REACTANCE COUPLED ASYNCHRONOUS LOGIC CIRCUIT

Filed July 21, 1965 Sheet 3 of 5

Fig. 16

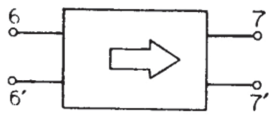


Fig. 17

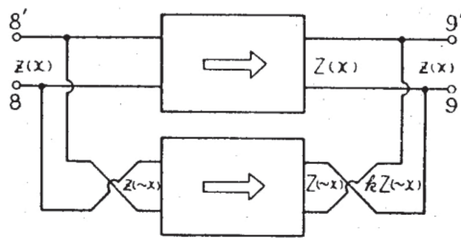


Fig. 18

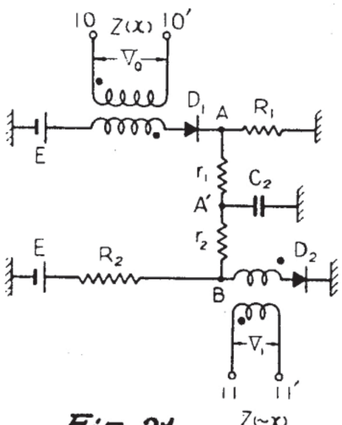


Fig. 19

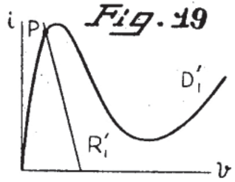


Fig. 20

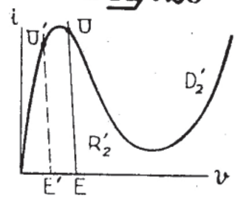


Fig. 21

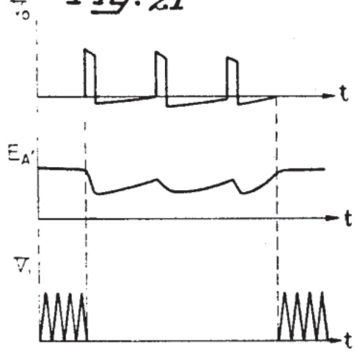


Fig. 23

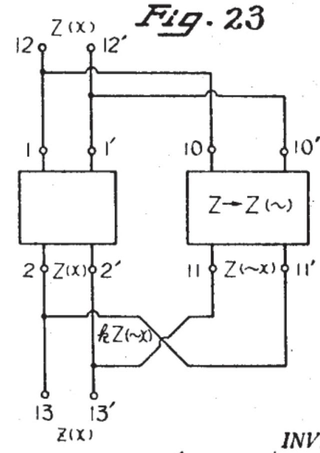


Fig. 22

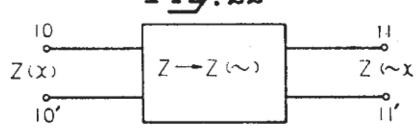
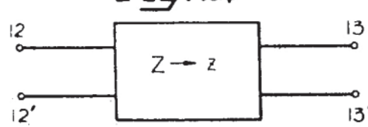


Fig. 24



INVENTOR.

Yasuo Komamiya

BY Takeji Sugiyama

Ernest Montague

Attorney

May 13, 1969 YASUO KOMAMIYA ET AL 3,444,392

BURST INPUT REACTANCE COUPLED ASYNCHRONOUS LOGIC CIRCUIT

Filed July 21, 1965 Sheet 4 of 5

Fig. 25

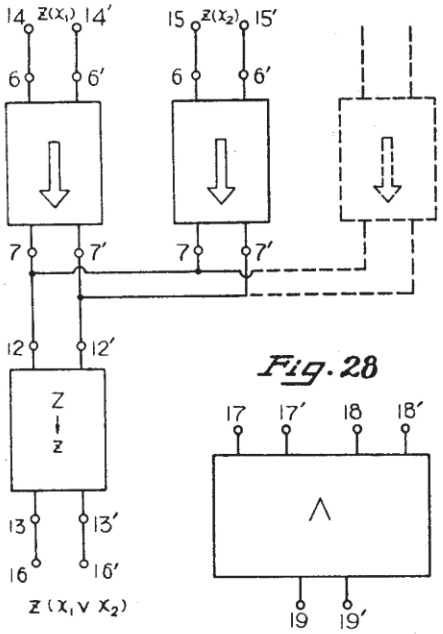


Fig. 26

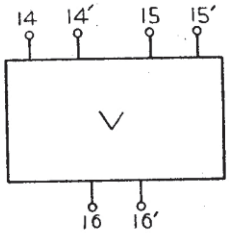


Fig. 27

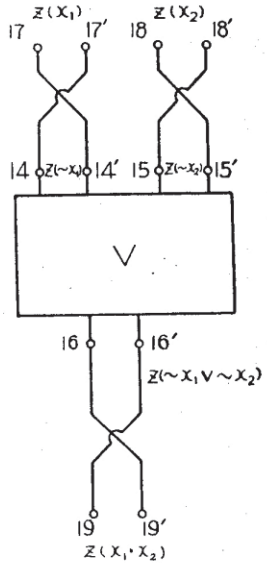
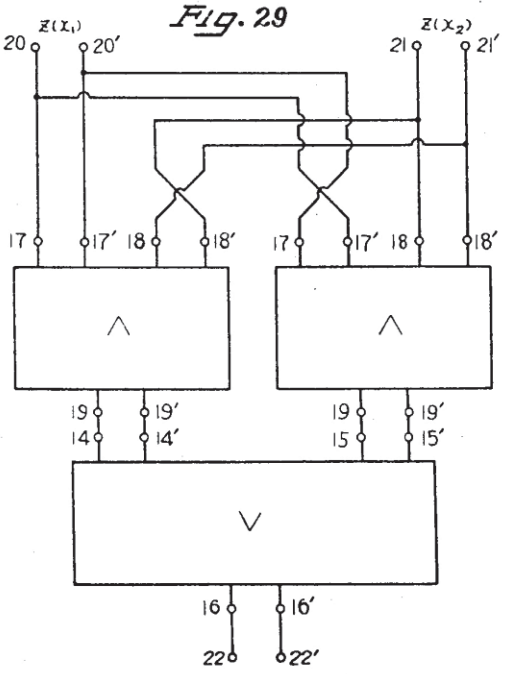


Fig. 28

Fig. 29



INVENTOR.
Yasuo Komamiya
Takeji Ingiyama
BY Ernest C. Montague
Attorney

May 13, 1969 YASUO KOMAMIYA ET AL 3,444,392

BURST INPUT REACTANCE COUPLED ASYNCHRONOUS LOGIC CIRCUIT

Filed July 21, 1965 Sheet 5 of 5

Fig. 30

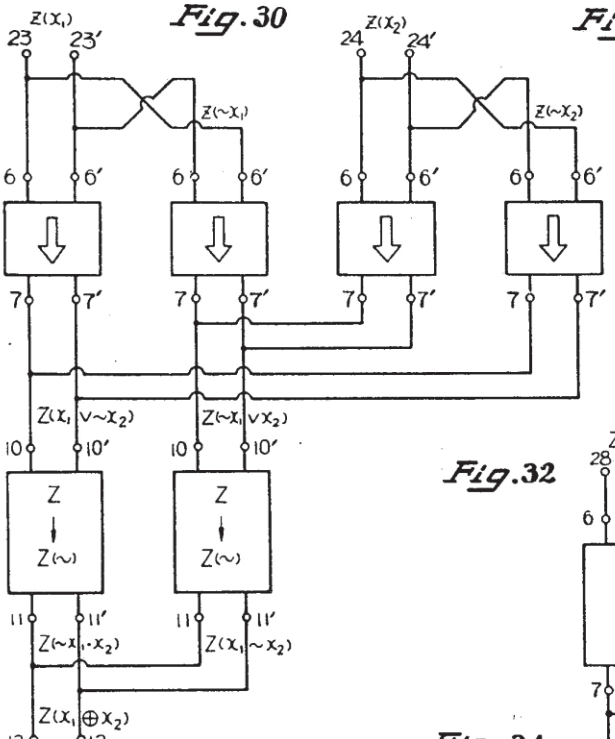


Fig. 31

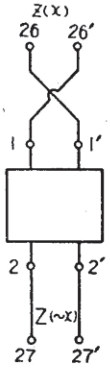


Fig. 32

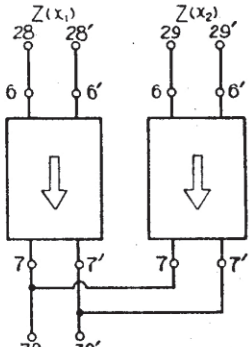


Fig. 33

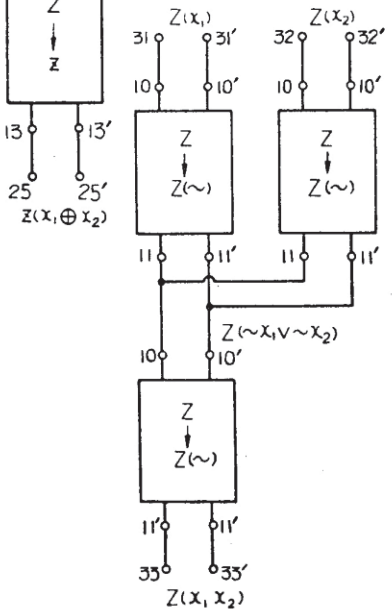
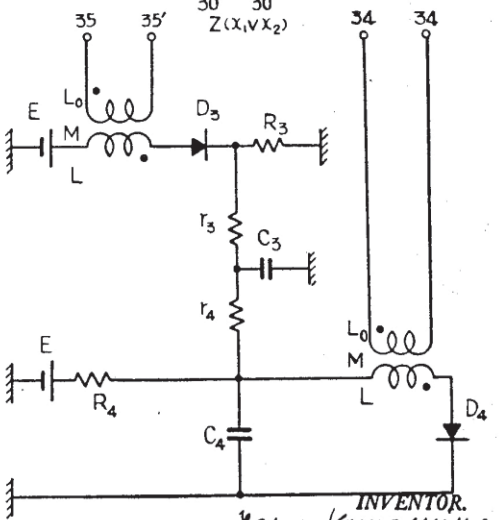


Fig. 34



INVENTOR.
Yasuo Komamiya
Takeji Sugiyama
BY Ernest G. Montague
attorney

United States Patent Office

3,444,392

Patented May 13, 1969

3,444,392

BURST INPUT REACTANCE COUPLED ASYNCHRONOUS LOGIC CIRCUIT

Yasuo Komamiya, Yokohama, and Takeji Sugiyama, Tokyo, Japan, assignors to Agency of Industrial Science and Technology, Tokyo, Japan, a governmental agency of Japan

Continuation-in-part of application Ser. No. 116,815, June 13, 1961. This application July 21, 1965, Ser. No. 482,015

Claims priority, application Japan, June 18, 1960, 35/28,232

Int. Cl. H03k *19/08, 19/10, 3/26*

U.S. Cl. 307—206

8 Claims

ABSTRACT OF THE DISCLOSURE

An asynchronous electronic logic circuit comprising a two terminal element having an N-type current-voltage characteristic, a resistor, an inductance, and a D.C. source connected in series such that the circuit has a monostable operating point. A reactance input means is operatively connected to the circuit. The two terminal element operates on a stable point of the N-type characteristic curve and means are provided for supplying an input signal in the form of a burst of electrical oscillations representing one binary condition and the absence thereof representing the other binary condition, the input signal causing the operating point of the two terminal element to be shifted along its N-type characteristic curve so that the circuit oscillates and transmits an output signal, whereas when no input signal is received, the two terminal element returns to its stable point no oscillation being generated and the circuit transmitting no output signal.

This application is a continuation-in-part of a formerly filed patent application, Ser. No. 116,815, filed June 13, 1961 now abandoned, for an Electronic Logic Circuit.

The present invention relates to an electronic logic circuit used in an extra-high speed electronic computer formed by the use of two terminal elements having an N-type volt-ampere characteristic.

Heretofore, in the electronic computer, a logic computation has been usually effected in such a manner that 0, $v(0,I)$ of voltage (current) corresponds to the binary codes 0, 1 or wave $-v$, $v(-I,I)$ and the like different for 180° in phase corresponds thereto, and the circuit of the electronic computer is roughly divided into a synchronous type and an asynchronous type. However, the synchronous type has a defect since its operating speed is slower than that of the asynchronous type. Owing to the asynchronous type using a direct current like signal, in the usual case except a relay computer, it has the defect that it has few fan-outs.

Further, prior art devices have not been capable of operating at ultrahigh-speed because other than "Esaki" diodes have been used reducing the frequency response of the circuit. The asynchronous systems previously utilized were also required to be resistance coupled because in the all system a direct current balancing problem was the limiting feature.

Also, as a logic circuit uses elements having an N-type volt-ampere characteristic, there is a logic circuit in which the sequence of the operating elements is determined to have a directional property by using a three phase synchronous signal as a power source and the logic circuit is formed parametron-like by a pair of elements, and also there is a logic circuit which has a directional property by using a logical product as a fundamental circuit, that is published by one of the inventors of the present application and others. However, owing to

the fact that a uniform characteristic for all elements employed is required, it has the objectionable feature that it is subjected to a fair limitation for forming its circuit.

A number of prior art devices have disclosed the use of a magnetic core as a component of an all logic circuit or a "Goto Pair" have so been utilized. However, in the first instance the use of the magnetic core does not lend itself to ultra high frequency switch, while in the latter instance a negative logic circuit could not be constructed to operate properly.

This one object of the present invention is to provide an electronic logic circuit, wherein an element with two terminals having an N-type volt-ampere characteristic, a resistance, and an inductance are connected directly to a D.C. source and wherein they form a circuit as a foundation set with a series resistance value so as to have a monostable point to the elements whereby a logical computation is performed by corresponding electric waves or by a corresponding combination of electric waves and a signal (including 0 level) of only direct component to the binary codes 0, 1.

Another object of the present invention is to provide an electronic logic circuit in which the cooperation of a two terminal element as an "Esaki" diode and standard inductive, capacitive and resistive elements form a negative operating circuit.

Yet a further object of the present invention is to provide an electronic logic circuit which does not require a resistance coupling and may utilize inductive or capacitive coupling.

To the binary codes 0, 1, for instance, the following electric signal is assumed to correspond.

(I) An electric oscillation wave having negative direct component or an electric oscillation wave having a negative amplitude larger than a positive amplitude corresponds to the binary code 0, and the electric oscillation wave having positive direct component or the electric oscillation wave having a positive amplitude larger than a negative amplitude is corresponded to a binary code 1.

(II) A signal corresponding to the binary code 1 is the same as that in (I), and as a signal corresponding to the binary code 0, an electric non-oscillation signal or an electric signal at 0 level corresponded.

(III) To the binary code I, corresponds an electric oscillation wave, that is, an electric oscillation wave (i.e., sine wave) having an amplitude of the same magnitude at the positive or negative direction, and a signal corresponding to the binary code 0 is the same as that of (II).

As above described, the present invention uses the electric oscillation wave, and in this case, as the phase is entirely out of order, even when the frequency is caused to be very high, the lay out of a circuit is not effected to any degree, and owing to the utilization of the self-oscillation, its frequency can be used up to the highest frequency of the element. Moreover, at the first front edge of the self-oscillation, elements at the next stage can be operated, and consequently, any information can be transmitted in succession at a speed near the highest operating speed. Further, heretofore, these elements have been selected usually so as to take a bistable state, but in accordance with the present invention, as only a monostable point is necessary, an uneven quality of each of the elements employed is almost out of order in principle, and consequently, the yield rate of the elements is made to be sufficient and the formation of a circuit can easily be effected.

In the following explanation of the present invention, in order to facilitate the understanding thereof, firstly, it refers to a fundamental circuit by an electric oscillation system with the complex number three valued logical

mathematics shown as a reference, and next, it refers to a corresponding relation by the item (I) between the binary code and of the complex number a propositional value, and then it refers to each of the circuits of the present invention using the above principle. Finally it refers to each of the circuits of the present invention corresponding to (II) and (III), since the circuits produced by the corresponding relation of (I) can also be applied to the cases of (II) and (III).

The aforesaid objects of the present invention, and other objects which will become apparent as the description proceeds, are achieved by providing an electronic logic circuit comprising an Esaki diode having an N-type current-voltage characteristic, a resistor, an inductance, and a D.C. source connected in series such that said circuit is provided with a monostable operating point, said Esaki diode operating on a stable point of the N type characteristic curve whereby upon the supply of an input signal in the form of an electrical oscillation the operating point of said Esaki diode being shifted on its N type characteristic curve so that said circuit begins oscillating by self-oscillation and transmits an output signal, while when no input signal is received, said Esaki diode returns to its stable point no oscillation being generated and said circuit transmitting no output signal.

(1) A fundamental circuit by an oscillation system

In FIGURE 1, E, R, L, and D are, respectively, a D.C. source, a resistance, an inductance and two terminal elements (in this embodiment, only the application of the Esaki diode is described as an example) having an N type volt-ampere characteristic, and L_0 and L_1 are, respectively inductances connected with input terminals **1** and **1'** and with output terminals **2** and **2'**. M is a coefficient of mutual inductance between the inductances L_0 and L and between L_1 and L_0. V_0 is a voltage applied to the terminals **1** and **1'** as an input information. V is the voltage produced at L causing electric oscillations, as set forth below, for exciting the terminal D by the voltage induced by the voltage V_0 through M between the inductances L_0 and L, and V_1 is the voltage induced at the inductance L_1 by V through M between the inductances L and L_1. Further, a mark of "." applied to each of the inductances L_0, L_1, and L shows the relations of polarity in such manner that when a positive voltage is applied to the "." terminal of the inductance L_0, a positive voltage appears on the "." terminal of the inductance L, and also a positive voltage appears on the "." terminal of the inductance L_1, and in the following description this indicating method is used.

Referring now to FIGURE 2, a curve D' indicates a volt (v)-ampere (i) characteristic of the terminal elements D of FIGURE 1, and R' indicates a straight line of the resistance R of FIGURE 1. E and R are set in such manner that D is put on a stable point P when the voltages are not applied to **1** and **1'** in FIGURE 1. Now, when a signal in the wave form as shown in V of FIGURE 3 is received from the input terminals **1** and **1'**, D is excited during the peak value of V_0, so as to go over the peak of the curve D'. Thus, the condition of a circuit composed of E, R, L and D changes its state in the form of self-excitation along an arrow mark of A_1, A_2, A_3 and A_4 of FIGURE 2 under the lapse of time decided by the constant of the circuit, so as to cause an electric oscillation, as shown by V of FIGURE 3. In this case, in this figure, there is shown the case when the number of oscillations is adjusted by 1 to 1. However, the ratio of the number of oscillations can be changed at will be adjusting the inductance L or any other constant. As D the terminal element is set at a stable point, the point P of FIGURE 2, when an input is not received, when electric oscillation waves having positive direct components, and time widths τ_1 and τ_2 of its voltage wave forms having the relationship $\tau_1 < \tau_2$, as shown in FIGURE 3. Accordingly, wave forms induced at the inductance L through M between L and L_1 are made by V_1, as

shown in FIGURE 3, and the direct components are removed by the transformer effect, and consequently, when D is not caused to have electric oscillations, this is also at the state of a voltage at 0 level. When D is caused to have electric oscillations, the amplitude at a positive direction becomes very large in comparison with that at a negative direction. If the polarity of L_1 is reversed, it is obvious that an amplitude at a negative direction is made considerably larger in comparison with that at a positive direction. In FIGURE 3 the abscissa t indicates the time. Further, electric oscillation wave forms having positive direct components as above described or electric oscillation waves having larger amplitude of positive direction than that of the negative direction are designated as at the left side of FIGURE 4, electric oscillation wave forms having negative direct components or electric oscillation waves having a larger amplitude of negative direction than that of the positive direction are designated as at the middle of FIGURE 4, and when electric oscillations are not caused, it is designated as at the right side of FIGURE 4. Also, if V_0 is applied in a reverse polarity inversely as in the case of causing electric oscillations by V_0 in FIGURE 1, the voltage of D is moved by a slight amplitude toward the left side from the point P of FIGURE 2 by induced voltage, however, a state of electric oscillations is not caused, and consequently electric oscillation waves of the voltage, as above described, do not occur. The above describes one example in the case effecting the coupling between the stages by electromagnetic induction effects. As such coupling method, any other resistance coupling, or condenser coupling or the combination of the above couplings can be used.

As shown in FIGURE 5, when a condenser C_1 is connected in parallel with a series circuit of L and D of FIGURE 1, a self-holding circuit is formed for a state of electric oscillations of diode D. That is, as shown in FIGURE 6, when V_0 is firstly positive voltage is applied to the input terminals **1**, **1'**, D is oscillated, and next the electric oscillation state is maintained as shown by V of FIGURE 6 until a negative voltage is applied, as shown in FIGURE 6, and the figure of V is adopted as in the method indicated in FIGURE 4. The voltage V_1, applied to the input terminals **1** and **1'** is not necessarily a positive and negative pulse, and it is clear that the voltage of the electric oscillation waves having respectively positive direct components or the electric oscillation waves having an amplitude in positive direction larger than that in the negative direction and electric oscillations having a negative direct component or the electric oscillation waves having an amplitude in negative direction larger than that in the positive direction may be used. Further, the abscissa t in FIGURE 6 indicates the time.

(2) Complex of three valued logical mathematics

As a complex number proposition, there is used a hyperbolic number $k(k^2=1,\ k\neq\pm1)$ to be a unit of a hypercomplex number, however, in the following, the complex number proposition is defined as follows:

The combination (x, y) of real propositions x, y (each x and y take any value of 0, ½ or 1) is considered, and the logical sum, logical product and the like are defined as follows:

[The definition 21] logical sum $(a_1, a_2) \vee (b_1, b_2)$

$$\{(a_1, a_2) \vee (b_1, b_2)\} = (a_1 \vee b_1, a_2 \vee b_2)$$

[The definition 22] logical product $(a_1, a_2) \cdot (b_1, b_2)$

$$\{(a_1, a_2) \cdot (b_1, b_2)\} = (a_1 b_1 \vee a_2 b_2, a_1 b_2 \vee a_2 b_1)$$

Conveniently, when there is no fear to be caused by an error, the mark "." of the logical product may be omitted.

[The rule 21] it is decided to be described as

$$(a_1, 0) = a_1,\ (0, a_2) = ka_2$$

Accordingly, when the [rule 21] is applied to [The definition 21]

$$(a_1, a_2)=a_1 \vee k a \quad (1)$$

[The definition 23] necessary and sufficient condition for

$(a_1, a_2)=(b_1, b_2)$ is $a_1=b_1$, and $a_2=b_2$

[The definition 24] δix, where each of i and x takes any value of 0, ½ or 1.

When $i=x$

$$\delta ix=1$$

When $i \neq x$

$$\delta ix=0$$

Especially, when x, x_1, x_2 do not take the value except 0 or 1, it is clear that the following formulas are obtained:

$$\delta_0 x=\eth_1(\sim x)$$
$$\delta_1 x=\delta_0(\sim x)$$
$$\delta_1(x_1, x_2)=\delta_1 x_1 \vee \delta_1 x_2$$
$$\delta ½\{\delta_1 x \vee ½\}=\delta_0 x$$

where, it means that $\sim x=1-x$

The rule 22, about the weakness of the symbols.

In the sequence of δ symbol, logical product, logical sum, the δ symbol at the left side of the above is the strongest, and going toward the right is gradually weakened.

[The definition 25] $R(a)$ $K(a)$

When $a=a_1 \vee k a_2$ holds, then $R(a)=a_1$ and $K(a)=a_2$ hold.

$R(a)$, $K(a)$ is called, respectively, as a real part and a parabolic part of the complex proposition.

The parabolic part is made by (the rule 21) with regard to the complex proposition to be

$$(a_1, 0) \vee (b_1, 0)=(a_1 \vee b_1, 0)=a_1 \vee b$$
$$(a_1, 0) \cdot (b_1, 0)=(a_1 \cdot b_1, 0)=a_1 b_1$$

and consequently, the logical sum and the logical product are made to be entirely the same type as those of the real part, and the complex proposition can be regarded as being the development of the real proposition by regarding $(a_1, 0)$ as being identical with a_1. Where, the real proposition is regarded as being three valued real propositions. Accordingly, the definition of its logical sum, the logical product, when x and y are, respectively, made to be the real proposition (x and y are considered to take any value of 0, ½ or 1), becomes of course to be

$$x \vee y \text{ Max } (x, y)$$
$$x \cdot y \text{ Min } (x, y)$$

that is $x \vee y$ takes the maximum value between values of x and y, and $x \cdot y$ takes the minimum value between values of x and y.

(3) A corresponding relation between a binary code and signal, complex propositional value

Now, a relation between a signal wave form, a binary code and complex propositional value is assumed to correspond, as in the following table. Further, the lowest column of the signal of the following table shows when no oscillation is caused, and at this time the complex propositional value corresponds to $½ \vee k ½$.

Signal	Binary code	Complex propositional value
ΔΔΔΔΔΔ	1	$1 \vee k ½$
▽▽▽▽▽▽	0	$½ \vee k 1$
———	----------	$½ \vee k ½$

As it is clear from the above table that in the parallel circuit as shown in FIGURE 7, if the signals are received, respectively, from the terminals, **3**, **3′** and the terminals **4**, **4′**, the signals corresponding to a complex propositional value corresponding to signals from the terminals **3**, **3′** and the logical sum of the complex propositional value corresponding to the signals from the terminals **4**, **4′** are going out to the terminals **5**, **5′**. Therefore, when the

signals corresponding to, respectively, $1 \vee k ½$, $½ \vee k 1$ come from the terminals **3**, **3′**, **4**, **4′**, the signals corresponding to

$$(1 \vee k ½) \vee (½ \vee k 1)=(1 \vee ½) \vee k (½ \vee 1)=1 \vee k 1$$

are produced to the terminals **5**, **5′**, and these signals are combined waves of electric oscillation waves having negative direct component. In this case, there is no existing binary code corresponding to $1 \vee k 1$ in the above corresponding table, and consequently, it is necessary to avoid in the design a circuit so as to produce $1 \vee k 1$. Accordingly, the handling of signals corresponding to such complex propositional value will be described later in the item 8. In the other cases, it is assumed that signals corresponding to the complex propositional value $1 \vee k 1$ do not come in.

The arrangement of each circuit according to present invention will now be individually described by using, upon occasion, the electric oscillation system as above described, corresponding relations among complex three valued logical mathematics, and the binary code and signal and the complex propositional value.

(4) A repeating circuit, a negation logic circuit

In FIGURE 8, the box represents the fundamental circuit shown in FIGURE 1 except the input and output terminals **1**, **1′** and **2**, **2′** and the description below also the same designation is used regarding the fundamental circuit. In FIGURE 8, X of the parts **1**, **1′** is the complex propositional value corresponding to the input signal and Y of the parts **2**, **2′** is the complex propositional value corresponding to the output signal. In this circuit, as described by "(1) A fundamental circuit by electric oscillation system."

When $X=1 \vee k ½$ holds, $Y=1 \vee k ½$
When $X=½ \vee k 1$ holds, $Y=½ \vee k ½$
When $x=½ \vee k ½$ holds, $Y=½ \vee k ½$

the above results can be obtained, and consequently,

$$Y=R(X) \vee k ½ \quad (2)$$

the above relation is obtained.

In FIGURE 9, if complex propositional values corresponding to the signals of the input and of the output are respectively X, Y, then X and Y have a reverse actual part and parabolic part, and consequently, the relation of

$$Y=kX \quad (3)$$

is obtained. That is, if the polarity of the circuit is reversed, a complex propositional value corresponding to the signal is made to be k times.

In FIGURE 10, it is assumed that the signal wave only corresponding to the binary code comes from the input terminals **1**, **1′**. That is, x is assumed to be the input binary code (consequently, x is 0 or 1) and the complex propositional value corresponding thereto is assumed to be $z(x)$. Also, it is assumed that the complex propositional value corresponding to the output signal, exerted at the output terminals **2**, **2′**, is represented by $Z(x)$. In the following description, the definition of x, $z(x)$, $Z(x)$ is the same as above. Then, if referring to the above table, the following formula

$$\begin{aligned} z(x) &= \delta_1 x \vee ½ \, \delta_0 x \vee k\{½ \, \delta_1 x \vee \delta_0 x\} \\ &= (\delta_1 x \vee ½)(\delta_1 x \vee \delta_0 x) \vee k(½ \vee \delta_0 x)(\delta_1 x \vee \delta_0 x) \\ &= \delta_1 x \vee ½ \vee k(\delta_0 x \vee ½) \end{aligned} \quad (4)$$

is obtained. Also, by the two formulas of (2), (4)

$$Z(x)=R\{z(x)\} \vee k ½ \quad (5)$$
$$=\delta_1 x \vee ½ \vee k ½ \quad (5')$$

is obtained.

In FIGURE 9, when it is represented by $X=z(x)$, output Y is made to kX by the Formula 3, and consequently, by the Formula 4,

$$\begin{aligned} kz(x) &= k\{\delta_1 x \vee \tfrac{1}{2} \vee k(\delta_0 x \vee \tfrac{1}{2})\} \\ &= \delta_0 x \vee \tfrac{1}{2} \vee k(\delta_1 x \vee \tfrac{1}{2}) \\ &= \delta_1(\sim x) \vee \tfrac{1}{2} \vee k\{\delta_0(\sim x) \vee \tfrac{1}{2}\} \qquad (6) \\ &= z(\sim x) \end{aligned}$$

is obtained, and $kz(x)$ is made to the complex propositional value corresponding to the negation $\sim x$. That is, it corresponds to FIGURE 11 and this is a negation logic circuit.

Now, by the Formula 5'

$$\begin{aligned} Z(\sim x) &= \delta_1(\sim x) \vee \tfrac{1}{2} \vee k\tfrac{1}{2} \\ &= \delta_0 x \vee \tfrac{1}{2} \vee k\tfrac{1}{2} \qquad (7) \end{aligned}$$

is obtained, and consequently, by the Formulas 5' and 7

$$\begin{aligned} Z(x) \vee kZ(\sim x) &= (\delta_1 x \vee \tfrac{1}{2} \vee k\tfrac{1}{2}) \vee k(\delta_0 x \vee \tfrac{1}{2} \vee k\tfrac{1}{2}) \\ &= \delta_1 x \vee \tfrac{1}{2} \vee k(\delta_0 x \vee \tfrac{1}{2}) \qquad (8) \\ &= z(x) \qquad (8') \end{aligned}$$

is obtained. That is, by combining a circuit as shown in FIGURE 12, $z(x)$ enters into the circuit from the upper part and also at the lower part $z(x)$ is produced. That is to say, a repeating circuit $z(x)$ is formed to produce a signal corresponding to a binary code x at an output by an input signal corresponding to a binary code x.

In FIGURE 7, when the signals corresponding to respectively $Z(x_1)$ and $Z(x_2)$ are received at the input terminals **3**, **3'** and the input terminals **4**, **4'**, then at the output terminals **5**, **5'**,

$$\begin{aligned} Z(x_1) \vee Z(x_2) &= \delta_1 x_1 \vee \delta_1 x_2 \vee \tfrac{1}{2} \vee k\tfrac{1}{2} \\ &= \delta_1(x_1 \vee x_2) \vee \tfrac{1}{2} \vee k\tfrac{1}{2} \qquad (9) \\ &= Z(x_1 \vee x_2) \qquad (9') \end{aligned}$$

is obtained.

Where, by the Formula 5',

$$\begin{aligned} Z(x_1) &= \delta_1 x_1 \vee \tfrac{1}{2} \vee k\tfrac{1}{2} \\ Z(x_2) &= \delta_1 x_2 \vee \tfrac{1}{2} \vee k\tfrac{1}{2} \qquad (10) \end{aligned}$$

is obtained, that is, a circuit as shown in FIGURE 13 is formed.

(5) A directional circuit.—(1) A rectifier-like circuit

FIGURE 14 shows the combination of two fundamental circuits F_1, F_2 and modified circuits of fundamental circuits surrounded by a dash-dotted line. The dash-dotted lined part shows that a mutual induction coefficient M between L, and L_1 of the fundamental circuit is changed into N and also the resistance R is changed into S, and put the relation between M and N and between R and S,

$$M > N$$

and

$$R < S$$

FIGURE 15 shows a graph entered in FIGURE 2 with a state after the modification for indicating a state of the fundamental circuits F_1, F_2 and a state of dash-dotted lined part. In this case, it is adopted as $R<S$, and consequently, a voltage V_Q at a stable point after modification is smaller than V_P, that is,

$$V_Q < V_P$$

In this arrangement, the following adjustment can be established. If F_1 is electrically oscillated, the signal corresponding to $1 \vee k\tfrac{1}{2}$ enters the input terminals **6**, **6'** by the induction, and D is electrically oscillated to produce a signal corresponding to $1 \vee k\tfrac{1}{2}$ at the output terminals **7**, **7'**, and by the induction, F_2 is also electrically oscillated. Inversely, when the electric oscillation is caused at F_2, the effect cannot cause D to oscillate. Because considering the inner part of the dash-dotted line, when D is electrically oscillated as an inevitable result by the electric oscillation of F_1, owing to $M>N$, the amplitude of the voltage induced at L_1 is slightly smaller than that in the fundamental circuit, however, it is selected so as to enable the causing of electric oscillations of F_2 by this signal, and inversely when F_2 is electrically oscillated, a signal by its oscillation is induced at L_1, and even when

D is tried to oscillate through N by said two conditions, i.e.

$$M > N \text{ and } V_P > V_Q$$

it can be made not causing an electric oscillation at D. As above described, a signal corresponding to $1 \vee k\tfrac{1}{2}$ is transferred toward $F_1 \rightarrow D \rightarrow F_2$, however, in the direction of $F_2 \rightarrow D$ a signal corresponding to $1 \vee k\tfrac{1}{2}$ is not transferred, and consequently, the directional gain can be obtained in the circuit. Of course, even when a signal corresponding to $\tfrac{1}{2} \vee k1$ is given, as described in the fundamental circuit, the electric oscillations are not caused in all of F_1, D, F_2, and consequently, a directional property of this circuit becomes the form of a rectifier of one kind. That is, signals corresponding to the binary code 1 are transferred only in the direction of **7**, **7'** from the terminals **6**, **6'** and are not transferred in the reverse direction, and signals corresponding to binary code 0 are not transferred to any terminal side. Accordingly, a part of the dash-dotted line is called as a circuit of a rectifier property, and for the sake of simplicity hereinafter it is represented as in FIGURE 16.

As in the above, in FIGURE 14 when a signal corresponding to the complex propositional value X enters the terminals **1**, **1'** of F_1 as an input, by Formula 2,

$$\begin{aligned} Z_0 &= R(X) \vee k\tfrac{1}{2} \qquad (11) \\ Z_1 &= R(Z_0) \vee k\tfrac{1}{2} \qquad (12) \\ &= R(X) \vee k\tfrac{1}{2} \qquad (12') \\ &= Z_0 \qquad (12'') \end{aligned}$$

the above is obtained.

(5).—(2) A unilateral circuit

If the rectifier like circuit of FIGURE 16 is connected as shown in FIGURE 17, it forms one directional circuit in which at terminals **9**, **9'** for the complex propositional value $z(x)$ corresponding to the input signal from the input terminals **8**, **8'**, a signal of $z(x)$ in the same is caused, and furthermore, in spite of any value of $1 \vee k\tfrac{1}{2}$, $\tfrac{1}{2} \vee k1$, that is, in spite of 0, 1 of the binary code, $z(x)$ is transferred from the terminals **6**, **6'** to the direction of the terminals **9**, **9'**, and toward its reverse diretcion $z(x)$ is not transferred. The production of $z(x)$ at the output is caused to obtain the following result from the Formula 8'.

$$Z(x) \vee kZ(\sim x) = z(x)$$

(6) A logic circuit.—(1) a circuit containing $Z(\sim x)$ from $Z(x)$

FIGURE 18 discloses one example of circuits in which when the signal corresponding to the complex propositional value $Z(x)$ is fed from the input terminals **10**, **10'**, a signal corresponding to the complex propositional value $Z(\sim x)$ is produced at output terminals **11**, **11'**. That is, it is assumed that D_1 is not electrically oscillated and it is put at a monostable point P of FIGURE 19, and at that time the state of D_2 is adjusted so as to come to the U point of FIGURE 20. In FIGURE 20, a straight line R_2 shows a value combined by R_1, R_2, r_1, r_2 and the like in FIGURE 18. At that time, it is assumed that D_2 is electrically oscillated owing to the existence of its operating point at the point U in the region of the negative resistance. Now, when the signal corresponding to the complex propositional value $Z(x)$ is fed from the input terminals **10**, **10'**, so as to begin the electric oscillation of D_1, the voltage E_A at the point A takes the form of waves as shown in FIGURE 21. However, a smoothing circuit comprising r_1, r_2, c_2 is connected between A and B_1 and consequently, it becomes equivalent as in the case of the voltage of the power source E in the circuit of D_2 is decreased to E', as shown in FIGURE 20. The operating point of D_2 is moved from the U' point to the U' point or a stable point, and accordingly, the electric oscillation of D_2 is stopped, and the voltage wave form produced at the output terminals **11**, **11'** is made in the form of V_1 in FIG-

URE 21. In this case, the designation of the voltage wave form of V_1 in FIGURE 21 is used for the designation in FIGURE 4, and consequently, the terminals **11, 11'** produce a signal corresponding to the complex propositional value of $Z(\sim x)$. For the sake of simplicity, FIGURE 18 hereinafter is designated as in FIGURE 22.

Now, in FIGURE 22, when a signal corresponding to a general complex propositional value X is received from the input terminals **10, 10'**, if a complex propositional value corresponding to a signal caused at the output terminals **11, 11'** is Y, it is clear that the following relation between X and Y is obtained.

$$Y=\tfrac{1}{2}\delta_1\{ROX\}\vee\delta\tfrac{1}{2}\{R(x)\}\vee k\tfrac{1}{2}$$

Now, if it is obtained by the Formula 5',

$$X=Z(x)=\delta_1 x\vee\tfrac{1}{2}\vee k\tfrac{1}{2}$$

then, naturally,

$$\begin{aligned}Y&=\tfrac{1}{2}\delta_1\{\delta_1 x\vee\tfrac{1}{2}\}\vee\delta\tfrac{1}{2}\{\delta_1 x\vee\tfrac{1}{2}\}\vee k\tfrac{1}{2}*\\&=\tfrac{1}{2}\{\delta_1 x\vee\delta_1\tfrac{1}{2}\}\vee\delta_0 x\vee k\tfrac{1}{2}\\&=\tfrac{1}{2}\delta_1 x\vee\delta_0 x\vee k\tfrac{1}{2}\\&=\delta_0 x\vee\tfrac{1}{2}\vee k\tfrac{1}{2}\\&=\delta_1(\sim x)\vee\tfrac{1}{2}\vee k\tfrac{1}{2}\\&=Z(\sim x)\end{aligned}$$

*See the formula regarding (the definition 24).

is obtained.

(6).—(2) A circuit of obtaining $z(x)$ from $Z(x)$

If a circuit of obtaining $z(x)$ from $Z(x)$ is designed by utilizing FIGURE 22 and a relation of

$$Z(x)\vee(kZ(\sim x)=z(x)$$

a circuit as shown in FIGURE 23 is obtained. That is, FIGURE 23 shows a circuit in which when a signal corresponding to $Z(x)$ from the input terminals **12, 12'** is received, a signal corresponding to the binary code corresponding to $z(x)$ at the output terminals **13, 13'** is produced. For the sake of simplicity, FIGURE 23 hereinafter is designated as in FIGURE 24.

(6).—(3) A logical sum circuit, a logical product circuit

x_1, x_2 are assumed as two binary codes, and if complex propositional values corresponding to the signal corresponding to x_1, x_2 are, respectively, $z(x_1)$, $z(x_2)$, then by the Formula 4,

$$\begin{aligned}z(x_1)&=\delta_1 x_1\vee\tfrac{1}{2}\vee k(\delta_0 x\vee\tfrac{1}{2})\\z(x_2)&=\delta_1 x_2\vee\tfrac{1}{2}\vee k(\delta_0 x\vee\tfrac{1}{2})\end{aligned}\qquad(13)$$

Accordingly, by the Formula 5'

$$\begin{aligned}Z(x_1)&=\delta_1 x\vee\tfrac{1}{2}\vee k\tfrac{1}{2}\\Z(x_2)&=\delta_1 x_2\vee\tfrac{1}{2}\vee k\tfrac{1}{2}\end{aligned}\qquad(14)$$

are obtained.

Now, in the consideration of $Z(x_1\vee x_2)$, by the Formula 9',

$$Z(x_1\vee x_2)=Z(x_1)\vee Z(x_2)\qquad(15)$$

is obtained, and consequently, $Z(x_1\vee x_2)$ can be obtained by a circuit of $Z(x_1)$, $Z(x_2)$ connected in parallel as shown in FIGURE 13. Also, in order to avoid the snake path of the signal into the circuit, the rectification like circuit, shown in FIGURE 16, is utilized so as to construct a circuit for obtaining $x_1\vee x_2$, shown in FIGURE 25. That is, when the signal corresponding to the respectively binary code x_1, x_2 is received from two input terminals **14, 14'** and **15, 15'**, a circuit or a logical sum circuit is formed for obtaining a signal corresponding to $x_1\vee x_2$ at the output terminal, and this logical sum circuit, as clear from the drawing, is also provided with directional property. When a multi-input logical sum circuit as $x_1\vee x_2\vee x_3$ is formed, it may of course be constructed as shown by dash lines in FIGURE 25. For the sake of simplicity, hereinafter the FIGURE 25 is designated as shown in FIGURE 26.

Further, a logical product circuit can be formed as shown in FIGURE 27, by utilizing a logical sum circuit used a relation of $x_1\cdot x_2=\sim(\sim x_1\vee\sim x_2)$. FIGURE 27 shows a circuit or a logical product circuit for obtaining a signal corresponding to $X_1\cdot x_2$ at the output terminals when a signal corresponding to, respectively, x_1, x_2 from two input terminals **17, 17', 18, 18'** and this circuit is also provided with a directional property. This circuit can easily be made to form a multi input logical product circuit as $x_1\cdot x_2\cdot x_3$, and this matter is the same as that of the logical sum circuit in FIGURE 25. For the sake of simplicity, hereinafter FIGURE 27 is designated as shown in FIGURE 28.

(6).—(4) An exclusive-or circuit

A circuit for obtaining $x_1\oplus x_2$ ($\oplus$ is a symbol of an exclusive-or) from two input binary codes x_1, x_2 can be formed by utilizing both circuits of the logical sum and logical product shown in FIGURE 26 and FIGURE 28 and by using a relation of $x_1\oplus x_2=x_1\sim x_2\vee\sim x_1 x_2$. This circuit is shown in FIGURE 29. FIGURE 29 discloses the circuit for obtaining a signal corresponding to $x_1\oplus x_2$ at the output terminals **22, 22'** when the signals corresponding, respectively, to x_1, x_2 are received from the two input terminals **20, 20', 21, 21'**. Whereas, in the design of such circuit, many elements are necessary, nextly the design of a circuit for obtaining directly an exclusive-or will be described.

That is to say, it is clear that

$$\begin{aligned}x_1\oplus x_2&=\sim x_1 x_2\vee x_1\sim x_2\\&=\sim(x_1\vee\sim x_2)\vee\sim(\sim x_1\vee x_2)\end{aligned}$$

by utilizing the above formula, a circuit, as shown in FIGURE 30, may be formed. Signals of terminals **23, 23', 24, 24', 25, 25'** in FIGURE 30 are, respectively, the same as the signals of the terminals of **20, 20', 21, 21', 22, 22'** in FIGURE 29. Such matter is not limited to any exclusive-or and is established in the same manner also in the design of the circuit for obtaining any logic relation.

(7) The case of the item (II) having relation of the binary code and the electric signal

In this case, the signal corresponding to the complex propositional value $1\vee k\tfrac{1}{2}$ at the binary code 1 is the same as that formerly described. However, the signal corresponding to the complex propositional value $\tfrac{1}{2}\vee k\tfrac{1}{2}$ is effected at the binary code 0.

Among the above described various circuits, in the circuit as shown in FIGURE 31, for the signal corresponding to the complex propositional value $z(x)$ from the input terminals **26, 26'**, at the output terminals **27, 27'** signal corresponding to $Z(\sim x)$ is produced. In this case, the circuit as shown in FIGURE 22 may correspond to the above circuit. Accordingly, for instance, as a logical sum a circuit as shown in FIGURE 32 may be used. That is, for the respective inputs $Z(x_1)$, $Z(x_2)$ from the input terminals **28, 28', 29, 29'**, at the output terminals **30, 30'**, $Z(x_1\vee x_2)$ is produced. Whereas, at a logical product circuit, it should be made as shown in FIGURE 33. That is FIGURE 33 discloses a circuit in which for the inputs $Z(x_1)$, $Z(x_2)$ from the input terminals **31, 31', 32, 32'**, $Z(x_1\cdot x_2)$ is produced at the output terminals **33, 33'**.

(8) The case of the item (III) having a corresponding relation of binary code and the electric signal

In the above stated various circuits, by the selection of the circuit constant, the amplitude of the oscillatory wave may become the same amplitude in both positive and negative directions. However, in this case, the electric oscillatory wave form corresponding to the binary code has the same amplitude at both positive and negative directions, and consequently, this wave form corresponds to the complex propositional value $1\vee k1$, and at the binary code 0, the complex propositional value $\tfrac{1}{2}\vee k\tfrac{1}{2}$

corresponds in the same manner as the former item 7. And it is clear from the properties of the circuits that the circuit as described in the former item 7 or negative proposition circuit (FIGURE 22), the logical sum circuit (FIGURE 32), the logical product circuit (FIGURE 33) and the like can be also applied to this case. In this case, as a self-holding circuit, FIGURE 5 should be made as shown in FIGURE 34. That is, in FIGURE 34, when the input corresponding to 1 is received from the input terminals **34**, **34'**, the circuit of D_4 starts to electrically oscillate and sustains the electric oscillation in the same manner as that in FIGURE 5. When the signal corresponding to 1 is applied to the terminals **35**, **35'** as an erasing signal, then a direct current like potential difference of R_3 is made small, and consequently, its effects is represented in the circuit of D through the smoothing circuit of r_3, c_3, r_4, and, thereby, the oscillation can be stopped.

As obvious from the above description, in short, the present invention is composed of an arrangement in which the electric oscillation wave having a positive direct component or electric oscillation wave having a larger amplitude in the positive direction than that in the negative direction corresponds to the binary code 1, an electric oscillation wave having negative direct component or an electric oscillation wave having larger amplitude in the negative direction than that in the positive oscillation or signal of direct component only or signal at 0 level corresponds to 0 of the binary code. For this, in a circuit in which two terminal elements having an N type volt-ampere characteristic and the resistance and the inductance are connected in series with the D.C. source, and the series resistance value is set in the circuit so as to have one stable point at said element, a circuit having a directional property is formed by the conditions of the difference of voltage at this stable point and the difference of the coupling degree with the next stage, and by the set of this series resistance value so as to have the operating point in the region of the negative resistance having characteristic of the element, a circuit if formed in which when no input signal from the forward stage is received, electric oscillations are caused, and when the input signal is received, electric oscillations are not caused. By the circuit based on a logical sum using the above property, a logical computation is to be effected.

The circuits of the present invention is divided into sections of a so called asynchronous system. However, as a signal, the oscillation wave corresponds to at least either one among 0, 1 of the binary codes, and consequently, the coupling can also be made by induction, and also owing to the use of the oscillation of the self-oscillation, the operating speed is much faster and many fan-outs can be obtained.

Further, as two terminal elements having an N-type volt-ampere characteristic in the present invention is selected so as to have only one stable point, the uniformity of the characteristic of these elements is almost out of the order and the manufacturing of the elements is very easy, and also a very stable operation is insured. Accordingly, the present invention is very useful by adopting to a logic circuit a very high speed electronic computer, and the effects in the field of the art is very great.

It will be recognized by those skilled in the art that the objects of the present invention have been achieved by providing a combination of elments to allow logical computation in cooperation with electric waves and further to use an "Esaki" diode and standard inductive, capacitive and elements to form a negative operating circuit without the requirement of resistive coupling.

While we have disclosed several embodiments of the present invention, it is to be understood that these embodiments are given by example only and not in a limiting sense, the scope of the present invention being determined by the objects and the claims.

We claim:

1. An asynchronous electronic logic circuit, comprising

a two terminal element having an N-type current-voltage characteristic,

a resistor,

an inductance, and

a D.C. source connected in series such that said circuit is provided with a monostable operating point,

a reactance input means operatively coupled to said circuit,

said two terminal elements operating on a stable point of the N-type characteristic curve,

means for supplying an input signal in the form of a burst of electrical oscillations, representing one binary condition and the absence thereof representing the other binary condition,

said input signal causing the operating point of said two terminal element to be shifted along its N-type characteristic curve so that said circuit oscillates and transmits an output signal, whereas when no input signal is received, said two terminal element returns to its stable point no oscillation being generated and said circuit transmitting no output signal.

2. An electronic logic circuit, as set forth in claim **1**, wherein

said reactance input means is an inductance used for coupling said input signal thereto.

3. An electronic logic circuit, as set forth in claim **1**, wherein

said reactance input means is a capacitor used for coupling said input signal thereto.

4. An electronic logic circuit, as set forth in claim **1**, wherein

said input signal in the form of said burst of electrical oscillations has a positive D.C. component and electrical oscillations of an amplitude greater in the positive direction than in the negative direction, respectively, associated to the number 1 of the binary code system, and another burst of electrical oscillations having a negative D.C. component and electrical oscillations in which the negative amplitude is greater than the positive amplitude, respectively, are associated with the number 0 of the binary code system.

5. An electronic logic circuit, as set forth in claim **4**, further comprising

a succeeding stage, and

said circuit is formed and provided with a directional property formed by the difference of voltage at said stable point and the difference of the degree of coupling with said succeeding stage.

6. An asynchronous electronic logic circuit, comprising

a two terminal element having an N-type current-voltage characteristic,

a resistor,

an inductance, and

a D.C. source connected in series such that said circuit is provided with a monostable operating point,

a reactance input means operatively coupled to said circuit,

said two terminal elements operating on a stable point of the N-type characteristic curve,

means for supplying an input signal in the form of a burst of electrical oscillations representing one binary condition and the absence thereof representing the other binary condition, and

when no input signal is received the operating point of said two terminal element is shifted along its N-type characteristic curve so that said circuit oscillates and electric oscillations are caused and when said input signal is received said two terminal element returns to its stable point and electric oscillations are not produced.

7. The electronic logic circuit, as set forth in claim 1, further comprising

a preceding stage means for providing said input signal, said resistor is modified such that the operating point of said circuit is disposed in the region of the negative resistance of the characteristic curve of said two terminal element, to obtain normal oscillations of said circuit, and

a low pass filter means for varying the D.C. voltage in said circuit upon causing oscillation of said circuit by a signal from said preceding stage to stop oscillation of said circuit, whereby the occurrence and non-occurrence, respectively, of oscillations in response to the non-existence and existence of said input signal from said preceding stage can be indicated.

8. The asynchronous logic circuit, as set forth in claim 1, comprising

at least two of said two terminal elements operatively coupled asynchronously.

References Cited

UNITED STATES PATENTS

3,070,708 12/1962 Dill ---------- 307—206

OTHER REFERENCES

Chow et al.: Tunnel Diode Circuit Aspects and Applications, A.I.E.E. Conference Paper No. CP-60-297, 1-60 (pp. 7 and 19).

Lesk et al.: Electrical Engineering (mag.), 4-60, (p. 276).

ARTHUR GAUSS, *Primary Examiner.*

DONALD D. FORRER, *Assistant Examiner.*

U.S. Cl. X.R.

307—210, 322

April 21, 1970 YASUO KOMAMIYA ET AL 3,508,078

FAIL-SAFE TYPE LOGIC CIRCUIT SYSTEM

Filed Sept. 1, 1966 5 Sheets-Sheet 1

Fig. 1

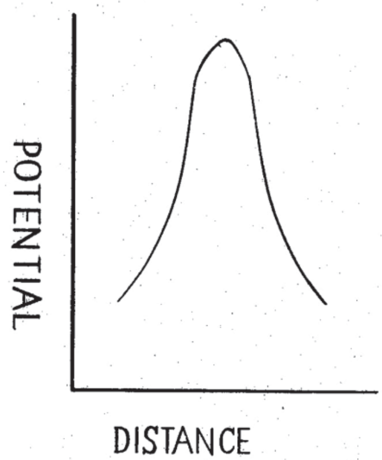


Fig. 2

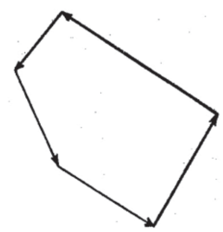
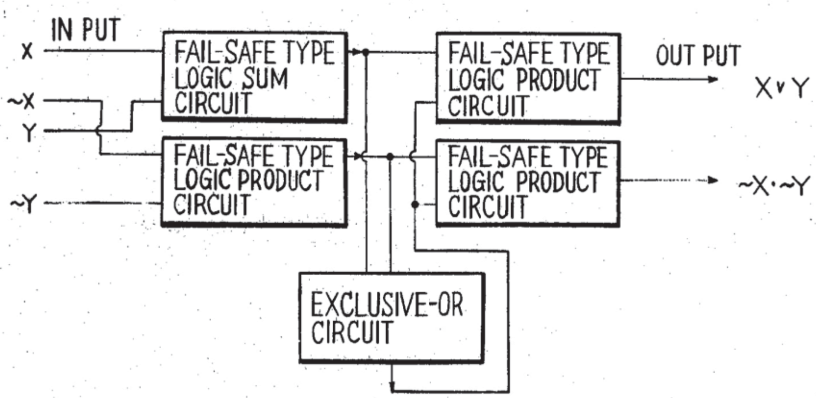


Fig. 3



Inventors:
Yasuo Komamiya
Kazuyoshi Morisawa
Seiji Tsuchiya
Yoshiaki Takeuchi
Kenji Okamoto
By Ernest G. Montague
Attorney

April 21, 1970 YASUO KOMAMIYA ET AL 3,508,078

FAIL-SAFE TYPE LOGIC CIRCUIT SYSTEM

Filed Sept. 1, 1966 5 Sheets-Sheet 2

Fig. 4

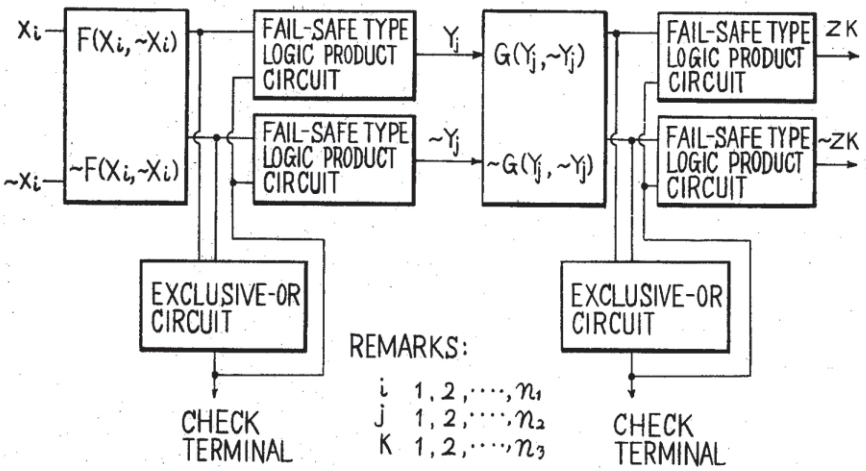


Fig. 5

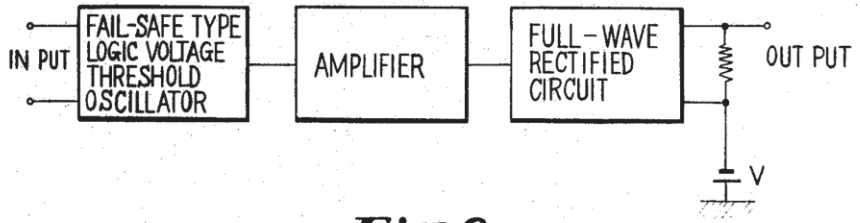
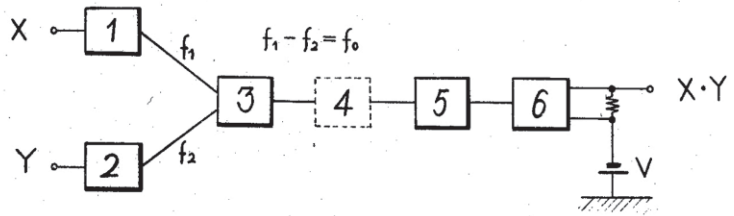


Fig. 6



Inventors:
Yasuo Komamiya
Kazuyoshi Hiroshara
Keiji Tsukiya
Noriaki Takasaki
Kenji Okamoto
By Ernest Montague
Attorney

April 21, 1970 YASUO KOMAMIYA ET AL 3,508,078

FAIL-SAFE TYPE LOGIC CIRCUIT SYSTEM

Filed Sept. 1, 1966 5 Sheets-Sheet 3

Fig. 7

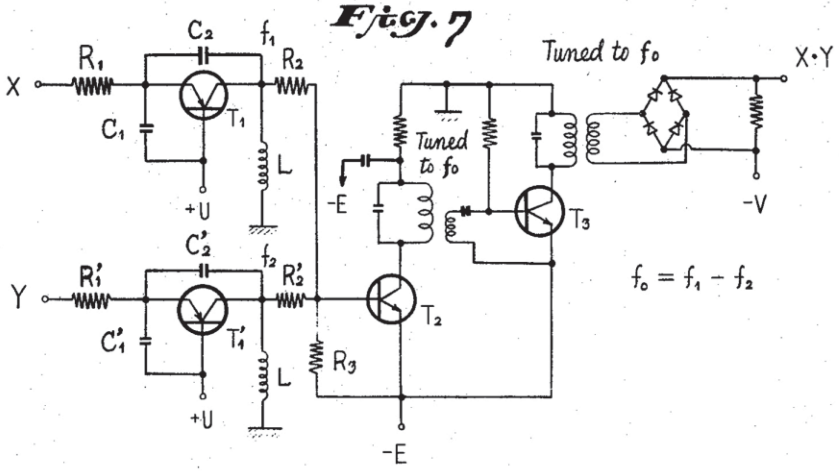


Fig. 8 (a)

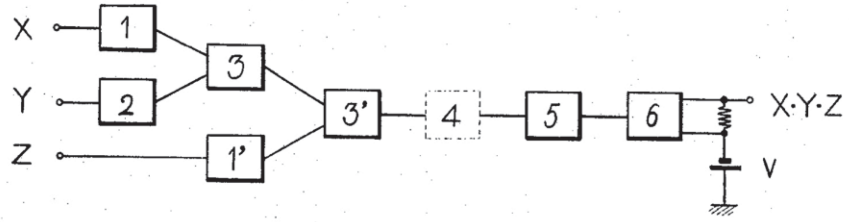
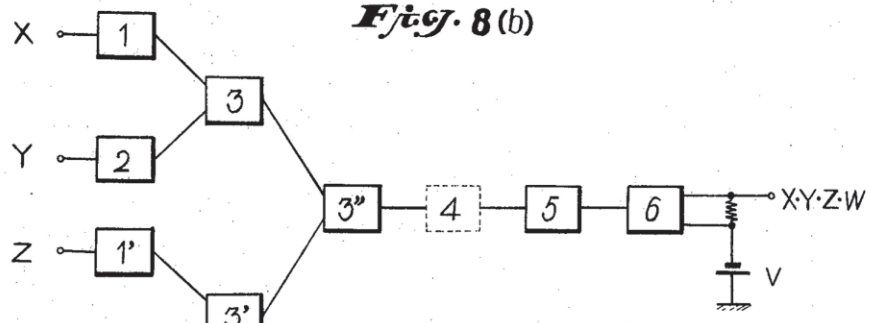


Fig. 8 (b)



Inventors:
Yasuo Komamiya
Shigeyoshi Morishima
Seiji Tsukiya
Tadashi Takeuchi
Kenji Hamada
By Ernest Pfeiffer
Attorney

April 21, 1970 YASUO KOMAMIYA ET AL 3,508,078

FAIL-SAFE TYPE LOGIC CIRCUIT SYSTEM

Filed Sept. 1, 1966 5 Sheets-Sheet 4

Fig. 9

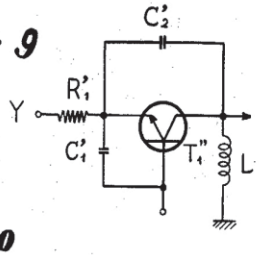


Fig. 10

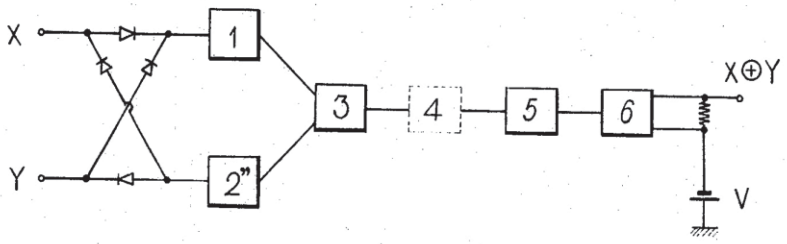


Fig. 11

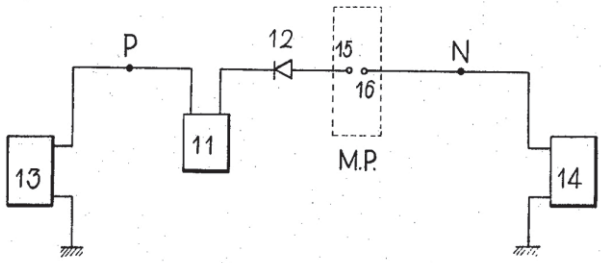
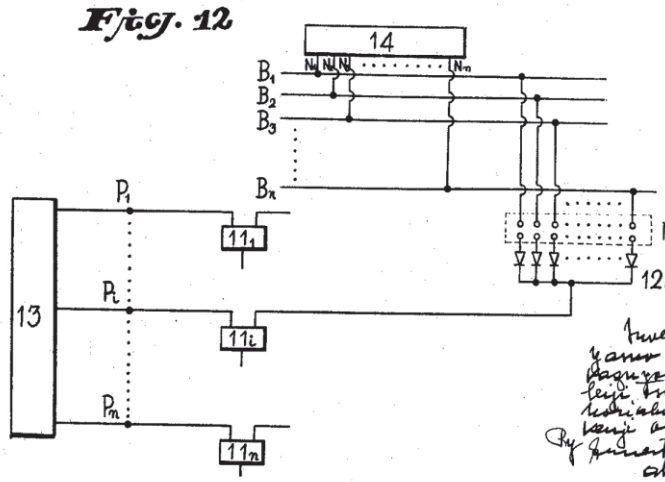


Fig. 12



Inventors:
Yasuo Komamiya
Shigeyoshi Morishima
Seiji Imahiya
Hideaki Takeuchi
Kenji Okamoto
By Burgess, Dinklage & Sprung
Attorneys

April 21, 1970 YASUO KOMAMIYA ET AL 3,508,078

FAIL-SAFE TYPE LOGIC CIRCUIT SYSTEM

Filed Sept. 1, 1966 5 Sheets-Sheet 5

Fig. 13

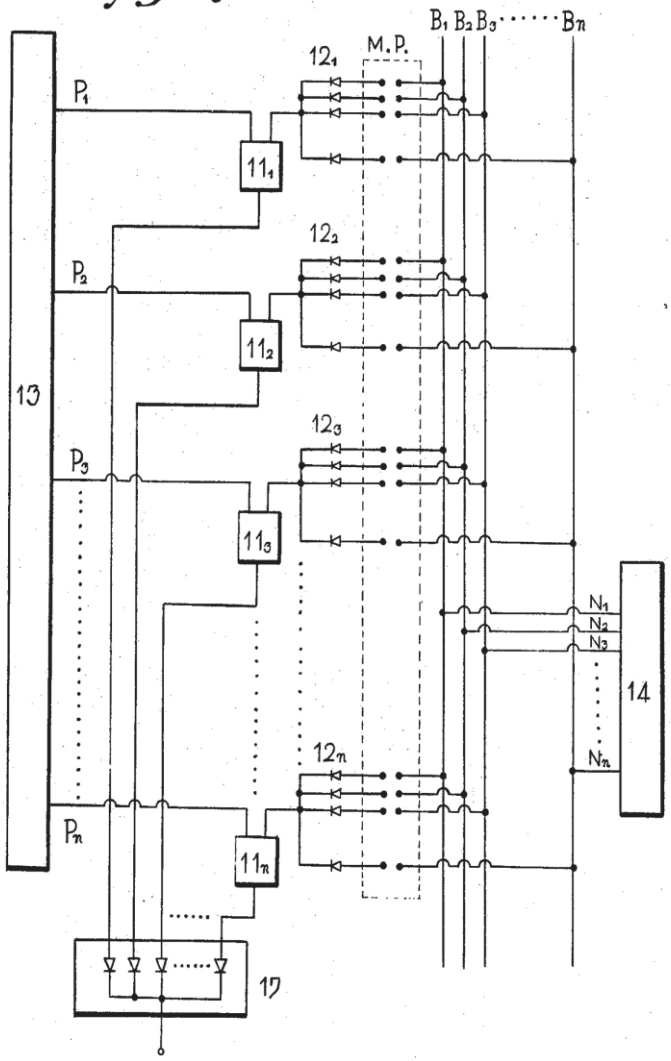
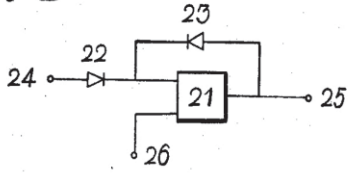


Fig. 14



Inventors:
Yasuo Komamiya
Kazuyoshi Murakawa
Seiji Tsuchiya
Hideiaki Takeuchi
Kenji Okamoto
By Fleit & Jacobson
Attorneys

United States Patent Office

3,508,078
Patented Apr. 21, 1970

3,508,078

FAIL-SAFE TYPE LOGIC CIRCUIT SYSTEM

Yasuo Komamiya, Yokohama, Kazuyoshi Morisawa, Tokyo, Seiji Tsuchiya, Ohmiya-shi, Noriaki Takeuchi, Urawa-shi, and Kenji Okamoto, Tokyo, Japan, assignors to Agency of Industrial Science and Technology, Tokyo, Japan, a corporation of Japan

Filed Sept. 1, 1966, Ser. No. 576,716
Claims priority, application Japan, Sept. 2, 1965, 40/53,385; Sept. 25, 1965, 40/58,335; Dec. 15, 1965, 40/76,732; July 18, 1966, 41/46,522
Int. Cl. H03k *19/08, 19/24, 19/32*
U.S. Cl. 307—238 6 Claims

ABSTRACT OF THE DISCLOSURE

A fail-safe system comprising an oscillator capable of performing a logical operation having a threshold input level and operable at a certain frequency in response to an input higher than the threshold level, an amplifier connected to the oscillator to amplify the output signal of the oscillator, a rectifier connected to the output of the amplifier to rectify the output signal of the amplifier, and a power supply for applying a bias voltage which maximum voltage is equal to the threshold voltage, to make binary codes 1 and 0 to be used in the system correlate to D.C. voltages +V and —V, respectively, and to cause the output voltage level of the system —V or 0 in case any trouble occurs while its normal output voltage is +V, and the output voltage level of the system —V or 0 in case any trouble occurs in the system while its normal output voltage is —V, whereby the output voltage never becomes +V whenever any trouble occurs.

The present invention relates to a novel fail-safe system, in general, and to a fail-safe system which is applicable to basic logic circuits in an electronic computer to make these logic circuits and hence the computer a fail-safe type and which system is able to stop the operation of the computer when any error or failure occurs in the logic circuits.

Electronic computers have been widely applied to various fields in industry because of their capability of handling a large volume of information at high speed. It is noted, however, that, if any failure should occur in an electronic computer for any reason and an erroneous output information from the computer is used as it is in its field of application, there is a strong probability of the occurrence of great damage in the field. Although various kinds of devices or systems for detecting such failures are generally provided in any computer for safety purpose, the complete elimination of such failures itself is very difficult at the current technical level. Therefore, any electronic computer having a system which is able to maintain its application field safe by preventing any transmission of output information of the computer to the field, whenever it operates erroneously, is seriously desired and such characteristics of the computer are referred to as fail-safe type characteristics.

For example, a control system for a railroad transportation system which controls the switching operations of the signals or the rails, and which railroad transports a large

volume of objects as well as people, requires such a fail-safe type computer, because if any erroneous information from the computer, resulting from any failure in its constituent components, is supplied to such a control system, there is a strong probability of great accident. Any electronic computer currently used in each industrial field does not have such fail-safe characteristics.

It is an object of the present invention to provide a novel fail-safe type logic circuit system which can be used in a computer to provide it with fail-safe characteristics.

The check of any error or failure in a computer must generally be performed in its software or performed by providing such a check function in its hardware. However, such a check by the software may not be possible theoretically. On the other hand, if the check is to be performed by the hardware, which may be a parity check, it is very difficult when two or more errors occur simultaneously in the computer. Therefore, to perform such a check for a plurality of errors occurring at different points, the hardware must be provided with such a special function. However, to date, hardware having this special function has not been provided because of technical and/or economical difficulties.

The present invention utilizes a novel fail-safe type logic circuit system to provide a fail-safe type computer, which system is applied to the basic logic circuits that are indispensable to the computer.

It is another object of the present invention to provide certain fail-safe type logic circuits constituting an electronic computer.

With the above and other objects of the present invention in view, which will become apparent from the following description, the present invention will be clearly understood in connection with the detailed description and the accompanying drawings, in which:

FIGURE 1 is a graph showing the concept of the maximum potential, which is used to constitute the present fail-safe type logic circuit;

FIG. 2 is a vector diagram showing that the vector sum equals zero, which is also used to constitute the present fail-safe logic circuit;

FIG. 3 is a block diagram of the logic circuit unit in accordance with the present invention, in which an EXCLUSIVE-OR circuit is used to check the output of the unit;

FIG. 4 is a block diagram of the entire logic circuit system of the present invention;

FIG. 5 shows a block diagram of the basic logic circuit of the present invention;

FIG. 6 shows a block diagram of a fail-safe type logic product circuit constituted with the basic logic circuit of FIG. 5;

FIG. 7 shows a circuit diagram of an embodiment of a fail-safe type logic product circuit with two inputs, which is constructed with the basic logic circuit of FIG. 5;

FIGS. 8(*a*) and 8(*b*) are block diagrams of fail-safe type AND circuits with three inputs and four inputs, respectively, which are readily constructed on the basis of the logic product circuit of FIG. 6;

FIG. 9 is a circuit diagram of an embodiment of an oscillator with a certain threshold input level, which operates in response to the logical variable 0 at its input;

FIG. 10 is a block diagram of the fail-safe type exclusive-or circuit;

FIG. 11 is a circuit diagram showing a basic circuit of the fail-safe type fixed memory circuit;

FIG. 12 is a circuit diagram of the fail-safe type fixed memory circuit;

FIG. 13 is a circuit diagram showing another embodiment of the fail-safe type fixed memory circuit; and

FIG. 14 is a circuit diagram of the fail-safe type memory circuit.

Referring now to the drawing, and more particularly to FIGS. 1 and 2, the circuit conditions necessary to make the basic logic circuits of an electronic computer fail-safe type, respcetively, are illustrated. The first condition illustrated in FIG. 1 is the concept of the maximum potential and the second condition illustrated in FIG. 2 is the concept that the vectro sum becomes zero. The concept in FIG. 1 is required to make any logic circuit operative only when an inut at or higher than a predetermined level is received and, otherwise, that is, to make it inoperative, when the input is lower than the predetermined level because of any failure in the preceding logic circuit. That is, any logic circuit using this concept has a tendency to slow down its potential level and thus terminate its operation upon receipt of a lower input than a predetermined level, and an oscillator having a certain thereshold input level (such oscillator operates at a constant frequency with a higher input than the threshold level and otherwise stops its operation) can be presented as an example of the devices operating with this concept. Further, a resonance phenomenon is an example of the concept itself. The second concept in FIG. 2 will be explained in detail hereinafter. It is merely described, at this time, that with the second concept, a fail-safe type logic product circuit can be constituted.

In forming the present logic circuit system and its applications with these concepts, the conditions to be given to the present system are as follows:

(1) The use of the first concept to operate any circuit in the system at, or higher input levels than, a predetermined level. For example, an oscillator is used as a circuit operable in accordance with the first concept, in which if the oscillator with a threshold value is used, any oscillation due to noise can be prevented by screening the threshold level properly.

(2) The binary 1 and 0 used in the logic system are represented by voltage levels of +V and −V, respectively, rather than representations by voltage levels of +V and 0 or by the presence and absence of a pulse in the ordinary manner. Thus, even when any grounding occurs in any point in the circuit, the failure can easily be detected.

(3) The characteristics of the system or the logic circuits are determined as follows:

(3–1) The output information corresponding to 1 in the binary code (the voltage +V) may become binary 0, i.e., a voltage level of −V when any circuit failure occurs.

(3–2) The output information corresponding to 0 in the binary code (the voltage −V) may remain at binary 0 when any circuit failure occurs, but the output never becomes binary 1, i.e., a voltage level of +V.

Each logic circuit to be constructed with the present system is constructed to have the fail-safe function in itself with the first condition.

In the construction of the present miss operation check system using these logic circuits the proper circuit and the conjugate circuit are used as a unit. Here, the words "the conjugate circuit" mean the circuit which has the negation function of the proper circuit. The check of a failure or a miss operation are done in each stage by an exclusive-or circuit as shown in FIG. 3. Accordingly, the detection of all failures in a plurality of units becomes possible and the information will be transmitted only when the entire system including a plurality of the units operates normally by forming a sequnece of a chain of the excusive-or circuit, in an asynchronous manner.

For example, in performing a logic operation of

$$X \vee Y (\leftrightarrows Z)$$

in the unit system as shown in FIG. 3, this unit system is necessary to have a proper information bus X and a conjugate information bus $\sim X$ (the negation of X). Concerning information Y, the proper and conjugate information buses are provided in the same way as X. Then, $X \vee Y$ is obtained from X bus and Y bus, and $\sim X \cdot \sim Y$ is obtained from $\sim X$ bus and $\sim Y$ bus. Also $X \vee Y$ bus and $\sim X \cdot Y$ are bus checked by the logic product thereof derived from the exclusive-or circuit.

The construction of the entire check system in accordance with the present invention is shown in FIG. 4. For example, if indication lamps are connected to the output of the respective exclusive-or circuits, the detection of failures in the logic system and the maintenance thereof will become easy because the indication lamps may be arranged to illuminate when the unit in concern is operating properly, and the lamps otherwise going out, and thus it is clearly indicated that, when a certain lamp goes out, at least the unit of concern or the preceding unit has a failure therein.

In an electronic computer, the logic circuits which can be provided with the fail-safe characteristics in accordance with the present invention may include the logic product circuit, the logic sum circuit, the exclusive-or circuit, the logic negation circuit, the fixed memory circuit, and the memory circuit. Hereinafter, these respective circuits will be explained.

Generally, to check whether an input signal supplied to each logic circuit is |V| properly, or not, the input signal is supplied to an oscilaltor which has a certain threshold level |U| as shown in FIG. 5 and which operates at a certain frequency, f_0, at, or at higher input levels, than the threshold level |U|. The threshold voltage |U| is selected as $|V|>|U|>0$, and, in this range of |U|, a self- oscillation of the oscillator by less than the level |U| can be prevented and the operation of the oscillator becomes reliable at the correct signal level.

Next, the output voltage with frequency component, f_0, from the oscillator is amplified in a tuned amplifier whose tuning frequency is equal to f_0. Thus, whenever a logic operation is not performed correctly and the frequency from the oscillator deviates from f_0, or if any failure in the resonance circuit occurs or if there are any inferior circuit components, the output of the tuned amplifier decreases considerably. Accordingly, only when the input signal level is correct or normal and all of the circuit components are operating correctly, is the output voltage of the tuned amplifier maintained at its normal level.

The output of the tuned amplifier with frequency component f_0 is full-wave rectified and the rectified voltage is applied across the load resistance. The lower end of the resistor is connected to the voltage −V (corresponding to 0 in the binary code) and the upper end thereof is regarded as the output of the logic circuit. Therefore the rectified output voltage of the logic circuit has a normal value only when the input voltage and the used parts are normal, and otherwise it would never become +V (binary 1) although it may decrease. Namely, it is possible to obtain the fail-safe type logic circuit satisfying the conditions.

A fail-safe type logic product circuit which is the most basic in logic circuits is explained herein. The voltage +V −V corresponds to the truth value 1, 0 of the logic variable X, Y, respectively, and the threshold voltage is +U ($+U<+V$) as previously mentioned.

As shown in FIG. 6, oscillator **1** has the threshold voltage +U and operates at frequency f_1 which is determined by the circuit constant only when the input logic variable X corresponds to the truth value 1 ($+V>+U$), and otherwise it is inoperative. Oscillator **2** with threshold voltage +U, i.e., the same as that of oscillator **1**, operates at a different frequency f_2 only when the input logic variable Y corresponds to the truth value 1 ($+V>+U$). Mixer **3** is used to obtain the difference frequency between f_1 and

f_2 when the frequencies f_1, f_2 are supplied to its input. Namely, the output f_0 of the mixer **3** is,

$$f_0=|f_1-f_2|$$

This will be noted that when frequencies f_0, f_1, f_2 are considered as vectors, respectively, the above representation shows the second concept, i.e., "vector sum is zero." In usual cases, it is enough, but more strictly, to use filter **4**, such as a mechanical filter, or a ceramic filter. Although f_0 may be produced by the sum of f_1 and f_2, it is desirable that f_0 is the difference of f_1 and f_2 because if the former f_0 is used there are some problems in the circuit design due to the harmonics of frequencies f_1, f_2, and thus the circuit may not become fail-safe. A tuned amplifier **5** amplifies the output having f_0 frequency component from the mixer **3** or filter **4**. Fullwave rectifying circuit **6** is connected to the output of amplifier **5** so that the output thereof becomes +V when the input frequency of amplifier **5** is f_0, but —V otherwise.

In this construction, the output can be obtained from rectifier **6** only when the input logic variables X, Y to oscillators **1** and **2** have the truth value 1 (voltage +V), respectively, while in other combinations of variables X, Y, the output of the rectifier **6** becomes —V. The output of the rectifier **6** represents the logic product $X\cdot Y$ of the logic variables X, Y.

Next, an embodiment of the fail-safe type logic product circuit, constructed with the above described fail-safe logic circuit system is described. Referring now again to the drawings, and more particular to FIG. 7, a pair of similar transistorized colpitts oscillators are provided for the input logic variables X and Y, respectively, each of which comprises (T'_1) p-n-p transistor T_1, an inductance L (L'), and capacitors C_1, C_2 (C'_1, C'_2). The bases of transistors T_1 and T'_1 are connected to the threshold voltage +U, and therefore the threshold voltage thereof, +U are made +U. The oscillation frequencies of these oscillators may be determined by the respective circuit constants, and it is assumed that the frequency of the oscillator including transistor T_1 is f_1 and the frequency of the other is f_2. By this way, these oscillators operate at their respective frequency only when both variables X, Y have voltage +V corresponding to the truth value 1. The frequencies f_1 and f_2 are mixed upon the use of the non-linear characteristic (square characteristic) between base and emitter of transistor T_2 and resistors R_2, R'_2, R_3 and frequency component f_0 corresponding to the difference between f_1 and f_2 is obtained at the collector of transistor T, with a tank circuit which resonates at $f_0=|f_1-f_2|$. The f_0 component is amplified by transistor T_3 and rectified by a full-wave rectifier. As a result, voltage +V or —V is obtained across the output resistor, which voltage corresponds to the truth value 1 ($X\cdot Y=1$) or 0 ($X\cdot Y\neq 1$).

As mentioned above, the output on the resistor never becomes +V because of the use threshold voltage +U which is less than +V corresponding to the truth value 1 of the logic variable. Therefore any miss operation in one unit is not transferred to the next stage. Further, the fail-safe function is reinforced because the mixing and amplifying circuit resonates at frequency f_0 and the output will go down or tend to go down to —V when frequency f_0 is shifted due to any characteristic failures in the circuit components.

FIGS. 8(a) and 8(b) are modifications of the fail-safe type logic product circuit shown in FIG. 6 with three and four inputs, respectively. In FIGS. 8(a) and 8(b) oscillators **1**, **2**, **1'** and **2'** have a common threshold value and operate at frequencies f_1, f_2, f'_1 and f'_2, respectively. Each mixer **3**, **3'** or **3''** is connected to respective outputs of the preceding two oscillators and take out the frequency difference of two inputs frequencies, respectively. Filter **4** may be provided if desired. Tuned amplifier **5** and full wave rectifier **6** are also provided and serve as previously

described. The output, f_0 of mixer **3'**, shown in FIG. 8(a), is represented as

$$f_0=||f_1-f_2|-f_1'|$$

and the output f_0 of mixer **3''** shown in FIG. 8(b) is represented as

$$f_0=||f_1-f_2|-|f_1'-f_2'||$$

The fail-safe type multi-input logic product circuit such as shown in FIGS. 8(a) and 8(b) are constructed in this manner and operate as in the above example. Furthermore, it is realized equally that the principle of the two input fail-safe logic circuit system can be extended to multi-input systems such as a three or more input (n input) fail-safe logic product circuit, using the non-linear characteristic of mixing these input signals by utilizing third or higher powers (nth power) characteristics of the non-linear characteristics between the base and emitter of the transistor T_2.

On the basis of the above mentioned fail-safe type logic product circuit, a fail-safe type exclusive-or circuit, a fail-safe type logic sum circuit, a fail-safe type logic negation circuit, a fail-safe type fixed memory circuit and a memory circuit, respectively, can be presented.

Referring now again to the drawings, and more particularly to FIG. 9, there is shown an oscillator with a certain threshold level which operates in response to the logic variable 0 (—V). (The threshold voltage is assumed as —U and $|-V|>|-U|$.) The p-n-p type transistor T_1 in FIG. 7 is replaced by an n-p-n type transistor T''_1. Therefore, as shown in FIG. 10, a fail-safe type exclusive-or circuit can be constructed by combination with a diode circuit. (In FIG. 10, threshold oscillator **2''** is the same as shown in FIG. 9 and the others are the same as in FIG. 6.)

In FIG. 6, by connecting oscillator **1** directly to amplifier **5**, and by connecting a diode logic sum circuit to the input of the oscillator **1**, a fail-safe type logic sum circuit is formed.

By connecting the output of the oscillator in FIG. 9 to the amplifier **5** in FIG. 6, a fail-safe type negation logic circuit is provided.

Fixed memory circuits and memory circuits are used as a memory circuit of a fail-safe type digital computer.

FAIL-SAFE TYPE FIXED MEMORY CIRCUIT

Referring to FIG. 11, a fail-safe type logic product circuit **11**, diode **12** and selection circuits **13** and **14** are arranged such that selection circuit **13** is connected to one input of product circuit **11** and seletion circuit **14** is connected to the other input of the circuit **11** through a series connection of the diode **12** and memory plane (M.P.). The selection circuits **13**, **14** select the output thereof so that only one optional output terminal has the voltage +V and the other has the voltage =V, respectively. The fixed memory contents are located in the memory plane of FIG. 11. For example, if value 1 should be selected, the terminals **15** and **16** are connected, but they are not connected to each other when the value 0 is selected. Of course, the diode may not be required when the connection is not made.

Now, when voltage +V or =V is applied to the point P in FIG. 11 from the selection circuit **13**, and the voltage +V or —V is applied to the point N from the selection circuit **14**, then, the output of the fail-safe type logic product circuit **11** becomes as set forth in the following table.

P	—V	—V	+V	+V
N	—V	+V	—V	+V
V	—V	—V	—V	+V

Referring now to the table, the output of the fail-safe type logic product circuit **11** becomes +V only when the voltages selected by the selection circuits **13** and **14**,

and applied to the logic product circuit, are +V simultaneously, but it becomes −V otherwise.

Now, the destruction of the diode or the breaking and shorting of the wires can be considered as circuit trouble in the device. In case of wiring troubles it sometimes occurs that the fail-safe type logic product circuit does not operate, and the output voltage is −V; while the output voltage becomes +V when the diode is shorted. However it is clearly distinct from the miss operation of the product circuit because it occurs when the selected voltages are the same, +V, in this case. Namely, in this device, when the selected voltage from the selection circuits have the common value +V, the output +V of the fail-safe type logic product may become −V or 0 when the circuit trouble occurs, but it never becomes +V.

FIG. 12 shows a circuit of the present invention using the basic circuit. In this case, a miss operation due to circuit trouble can be necessarily detected when the selected outputs, from selection circuits **13** and **14**, have a common value, +V, as in the case of FIG. 11. So, in this device, a miss operation due to trouble in the circuit is necessarily detected if the fixed memory devices of n bits are constructed by the combination of n-fail-safe type logic product circuits and n^2 diodes.

FIG. 13 shows the fail-safe type fixed memory device. The fixed memory contents are located in M.P. in FIG. 13. For example, when the binary code is used, common bus B_1, B_2 . . . B_n are connected when the value 1 corresponding to their signals, are not connected with 0. In FIG. 13, diode logic sum circuit **17** or the fail-safe type logic sum circuit is illustrated.

The check of the operation of this fail-safe type fixed memory device can be carried out by providing the conjugate fixed memory device in parallel therewith and connecting a fail-safe exclusive-or circuit in a manner similar to that previously described. As the memory contents in these fixed memory devices are opposite, exactly, the exclusive-or circuit operates in accordance with the truth value 1 when a miss operation does not exist, and it operates in response to the truth value 0 when trouble exists.

FAIL-SAFE TYPE MEMORY CIRCUIT

Referring now again to the drawings, and more particularly to FIG. 14, the fail-safe type memory circuit is shown in which a fail-safe type logic product circuit **21** is provided and diodes **22** and **23** are connected in series and in parallel, respectively, thereto. Input **24** is connected to diode **22**. An output **25** and a clear-terminal **26** are connected to the circuit **21**. In this circuit, the clear terminal **26** usually has the voltage +V. When the input **24** has voltage +V to be memorized the output **25** becomes +V. Further, when the input **24** becomes the voltage −V, the output **25** holds the voltage at +V, because the output voltage is fed back to the fail-safe type logic product circuit through the diode **23**. If the voltage of the clear terminal **26** becomes −V, the output will become −V necessarily and the memory content is cleared. Namely, the circuit shown in FIG. 14 can be used as the memory circuit which keeps the memorized input until the clear information −V comes in. Also, the circuit correctly serves for diode failure.

We claim:

1. A fail-safe system comprising
an oscillator means for performing a logical operation and having a predetermined threshold input level and operable at a certain frequency in response to an input higher than said predetermined threshold input level,
an amplifier connected to said oscillator to amplify the output signal of said oscillator,
a rectifier connected to the output of said amplifier to rectify the output signal of said amplifier, and
a power supply means for applying a predetermined bias voltage, the maximum voltage of which being

equal to said predetermined threshold input level, making binary codes 1 and 0 to be used in said system correlate to D.C. voltages +V and −V, respectively, and causing the output voltage level of said system to be −V or 0 in case any failure occurs in said system while the normal output voltage being +V and the output voltage level of said system being −V or 0 in case any failure occurs in said system while its normal output voltage is −V, whereby the output voltage never becomes +V when any failure occurs.

2. A fail-safe type logic product circuit comprising
a pair of oscillator means each having a predetermined threshold input level and operable in response to the truth value 1 of either one of two input logic variables and having different frequencies from each other, respectively, said different frequencies being correlated to said logic variables, respectively,
an amplifier means for amplifying the signal component of the frequency of the difference between said frequencies, and
a rectifier means for rectifying the output from said amplifier, thereby obtaining a logic product of said two logic variables as the output.

3. The circuit, as set forth in claim **2**, and constituting a fail-safe type memory circuit, and further comprising
a first input terminal for said logic product circuit constituting a clear terminal,
a second input terminal for said logic product circuit being supplied with a logic sum of an input signal to be memorized and an output signal of said logic product circuit, whereby the output becomes the truth value 1 when said input signal becomes the truth value 1 and said clear signal is the truth value 1, said output is kept at the truth value 1 when said input signal becomes the truth value 0 and said clear signal is still truth value 1, said output becoming truth value 0 when both of said input signal and said clear signal are the truth value 0, and said output is kept at the truth value 0 when said clear signal is 0 and said input signal becomes 1.

4. A fail-safe type logic negation circuit comprising
an oscillator having a predetermined negative threshold voltage and operable only upon receiving a D.C. input voltage higher than the absolute value of said predetermined negative threshold voltage, said D.C. input voltage corresponding to an input logic variable,
an amplifier means for amplifying the output of said oscillator, and
a rectifier for rectifying the output of said amplifier, thereby obtaining a logical negation of said input logic variable as the output.

5. A fail-safe type exclusive-or logic circuit comprising
a first oscillator having a predetermined threshold input level and operable in response to a truth value 1 of either one of two input logic variables at a frequency,
a second oscillator having a predetermined negative threshold voltage and operable only upon receiving a D.C. input voltage higher than the absolute value of said negative threshold voltage, and
two diode OR circuits, thereby obtaining an exclusive-or of said input logic variable as the output.

6. A fail-safe type fixed memory circuit comprising
a pair of selection circuits,
a series connection of a fail-safe type logic product circuit, a diode and a fixed memory plane with or without wiring in accordance with the presence or absence of a code to be memorized therein fixedly, said series connection being disposed between said selection circuits, and
said selection circuits selecting the contents of said memory plane whereby according to said contents of the absence or presence of wirings an output cor-

responding to said code is derived from said fail-safe type logic product circuit.

References Cited

UNITED STATES PATENTS

2,854,653	9/1958	Lubkin	235—153 X
3,390,256	6/1968	Clanton et al.	235—153
3,396,369	8/1968	Brothman et al.	235—153 X

FOREIGN PATENTS

1,032,081	6/1966	Great Britain.

OTHER REFERENCES

M. C. Johnson et al.: "Error Detector or Comparator," RCA Technical Notes #293; sheets 1–2, June 1959.

DONALD D. FORRER, Primary Examiner

U.S. Cl. X.R.

307—202, 210, 214, 216, 218; 328—92; 331—56, 117; 340—173

6 Teaching by Yasuo Komamiya

From 1980 to 1986, Yasuo Komamiya was a Professor at Kyushu University, Fukuoka, Japan, and from 1986 to 1993 at Meiji University, Tokyo, Japan, teaching *Information Systems* and *Mathematical Logic*, respectively, as the main subjects.

In teaching, Komamiya followed the same approach and shared the same attitude towards the subjects as Prof. Mochinori Goto, which can be seen from their textbooks.

6.1 Textbook by M. Goto

At pages 137 to 142 of this issue, we reprinted the title pages and few pages from the textbook *Logical Mathematics and Its Applications*, OHM, April 1959, written by M. Goto. We selected introductory pages with some English terms and references, which allows to readers unfamiliar with Japanese to get some insight into the point of view to the area shared by Professors Goto and Komamiya. It is obvious that names as G. Boole, E. Schröder, but also B.A.W. Russel, and D. Hilbert, suggest that symbolic logic, as well as mathematical logic, are in foundations of mathematics, while the program of Hilbert served as a vehicle to prove the consistency of foundational theories.

It is interesting to observe that for combinatorial networks M. Goto refers to the work of C.E. Shannon and Hansi Piesch, references (4) and (5), respectively, while for the sequential circuits the work of D.A. Huffman is recommended (12). These references are

Shannon, C. E., "A symbolic analysis of relay and switching circuits", *Trans. AIEE*, Vol. 57, No. 12, 1938, 713-723.

Piesch, H., "Über die Vereinfachung von allgemeinen Schaltungen", *Arch. f. Electrotechnik*, Berlin, E.T.Z. Verlag, Vol. 33, Heft 11, 1939, 733-746.

Huffman, D.A., "The synthesis of sequential switching circuits", *Journal of the Franklin Institute*, Vol. 257, No. 3, 1954, 161-262.

Huffman, D.A., "The synthesis of sequential switching circuits", *Journal of the Franklin Institute*, Vol. 257, No. 4, 1954, 275-303.

Mochinori Goto

OHMマスター・コース

論理数学とその応用

連載 1

ここで扱う論理数学は論理代数のことではない．論理数学という名の名付親である後藤博士に，論理数学とはいかなるもので，どのように電気回路に応用されるかを例題形式で講義していただく．

後　藤　以　紀

1．論理的関係を式で表わす方法

数字を直接使う算術の代りに，文字を使う代数へと発展して，数学はそれ自身の理論のみならず，実用方面にいちじるしい進歩をみるに至った．わが国でも大陸より伝来した数値算法から脱却して，関孝和によって文字の代数が建設されたということであって，欧州に比べてきわめて悪条件の下にあった和算家の卓越した着想には驚嘆のほかはない．

ところで，数学では単に数字の代りに文字を使うのみならず，幾何学でも，三角形 ABC と A′B′C′ とが合同であることを，

$$\triangle ABC \equiv \triangle A'B'C'$$

と書く．これは2つの図形の関係を式で表わしたものである．しかし，図形に限らず，もっと一般に，文字である条件を代表して，いくつかの条件の間の論理的な関係を記号で表わすこともできる．たとえば「天気が良い」**ならば**「登山する」という関係を「天気が良い」→「登山する」と書く．前者は後者の成立するための**充分条件**で，後者は前者の**必要条件**である．この関係と**含意**（または内含）(implication) という．また，「天気が良くない」ことを，～「天気が良い」と書いて**否定** (negation) を表わす．そして，ある条件が**真** (true) であるときには，それの**真理値** (truth value) は1であるといい，**偽** (untrue または false) であるときには，それの真理値は0であるという．したがって，ある条件を不定すれば，その条件の真理値は反対となる．たとえば，

$$\sim(x=0) \rightleftarrows (x \neq 0) \qquad (1\cdot1)$$

である．ここに ⇄ は，それの両辺の真理値が等しい場合にのみ，(1・1) 式が真であることを表わす記号である．(1・1) 式では $x=0$ でない場合は $x \neq 0$ であるから，これは正しい．また，$x=0$ の場合は左辺の～$(x=0)$ は偽であり，$x \neq 0$ もまた偽となるから，これも正しい．したがって，(1・1) 式は正しいのである．これは「[一方が成立するための必要かつ充分な条件] が他方である」の意味である．この関係を「両者は**対等**（または**同等**）(equivalent) である」という．また，

$$(x=\text{実数}) \wedge (y=\text{実数}) \rightarrow \{(x=0) \wedge (y=0) \rightleftarrows x^2+y^2=0\} \qquad (1\cdot2)$$

のように，$x=0$ と $y=0$ との2つの条件が共存していることを $(x=0) \wedge (y=0)$ または ∧ 記号を省略して $(x=0)(y=0)$ のように積の形に書き，これを**論理積**（または**合接**または**連言**）(conjunction) という．2つの条件の真理値が共に1であるときにのみ，論理積の真理値の真理値が1になることを表わしている．すなわち，言葉でいえば「…と…と」(…and…) に相当している．(1・2) 式全体は，

「x,y が共に実数なるときは，$x=0$ と $y=0$ とが同時に成立する場合にのみ必ず $x^2+y^2=0$ となり，他の場合には $x^2+y^2 \neq 0$ である」ことを表わしている．

次に，

$$(x=0) \vee (y=0) \rightleftarrows xy=0 \qquad (1\cdot3)$$

のように，∨ は「…か…か」すなわち，「…または…」(…or…) の関係を表わし，**論理和**（または**離接**または**選言**）(disjunction) と称する．少なくともいずれか一方の真理値が1のときに論理和の真理値は1となる．すなわち，(1・3) 式は「[$x=0$ または $y=0$] が真ならば，[$xy=0$] は真であり，後者が真ならば，前

電気試験所長　東大教授　工博

者もまた真である」ことを表わしている．化学の可逆反応のようなものである．

注意 1・1：…⇄…の関係を往々「…は…」と読ませることがあるが，これは注意を要する．白馬非馬の論というのがあるが，「白馬は馬」といっても，「白馬⇄馬」とは書けない．白馬に包含されるものよりも馬に包含されるものの方が広い．条件でいえば「白馬たる条件」よりも「馬たる条件」の方が少ない．「白馬ならば馬である」ことは正しい．すなわち，「これは白馬である→これは馬である」は正しい．言葉を機械的に論理記号に置換えると，とんだ誤りをおかすことになるから，よく意味を考えてやらなければならない．

以上は比較的簡単な関係式であるから，しいて記号で書かなくても，ふつうの文章で書けるが，少し複雑になると，文章ではなかなか明瞭には表わしにくい．たとえば，「$x=0$ なるときに $x^2+y^2=0$ ならば $y=0$ である」といっても，

$$x=0\rightarrow(x^2+y^2=0\rightarrow y=0)\,? \qquad (1\cdot4)$$

$$(x=0\rightarrow x^2+y^2=0)\rightarrow y=0\,? \qquad (1\cdot5)$$

$$(x=0\rightleftarrows x^2+y^2=0)\rightarrow y=0\,? \qquad (1\cdot6)$$

$$(x=0)(x^2+y^2=0)\rightarrow y=0\,? \qquad (1\cdot7)$$

の4つの関係のどれであるか，ちょっとわからないであろう．また，この4つが結局同じ関係を表わすことになるのかどうかすら，わかりにくいが後の論理計算の説明の際に種明しをする．われわれの頭脳で平素ひねくっている論理は，いくら偉そうなことをいっていても，算術のまだ手前の簡単な暗算の程度にすぎないものが多い．まして代数にはほど遠い．また，

「晴天なるときに西風が吹けば登山する」

といっても，(1・4)～(1・7) 式の場合と同様にいろいろの意味にとれる．数学書に乗っている定理の文句なども，ひととおり読むとわかったような気がするが，これを論理式に書き直してみると，あいまいなことが多い．中の証明を見て初めて正しい意味がわかり，正しい論理式で表現できることが少なくない．

論理的関係を記号で表わすことは古くライプニッツに始まるといわれているが，その後，A. ド・モルガン，C.S パース，G. ブールらによって発展され，E. シュレーダーにより**論理代数学**（Algebra der Logik）の体裁を具えるに至った．論理代数学はまた，**ブール代数**（Boolean algebra）ともいわれている．その後，G. ペアノ，B. ラッセルらは，数学上の概念を論理記号によって記述し，数学の論理的構造の研究を行い，さらに D. ヒルバート，K. ゲーデルらにより数学の公理体系などを論ずる数学基礎論の研究に有効に使用された．また，従来の論理学の真理値を 0，1 以外に拡張して，N 個にした多値論理学というものも出現した．これらは総称して**記号論理学**（または**数学的論理学**あるいは**理論的論理学**）（symbolic logic または mathematical logic または theoretical logic）といわれている．

どうして，この記号論理学が継電器の接点回路に応用できるかというと，接点が開いている状態を0で表わし，閉じている状態を1で表わすと，これは論理代数の真理値 0，1 に対応させることができる．そうすると，接点 a と b との直列回路の開閉状態は論理積 ab の真理値で表わされる．a,b ともに閉じているとき（真理値がともに1）にのみ ab は閉じる（真理値1）ことになるからである．また，a と b との並列回路では論理和 $a\vee b$ でその開閉が表わされる．a, b の両方ともに開いているとき（真理値ともに0）にのみ開く（真理値0）ことになるからである．

わが国では中島章氏[1]により，接点回路の理論に論理代数が応用され，それを使う継電器回路設計の研究が行われた．続いて榛沢正男[2]，島津保次郎[3]などの諸氏の研究もある．外国でもほぼ同時代から C.E シャノン[4]，H.ピーシュ[5]，G.A. モントゴメリー[6] などの諸氏によって応用され出した．

しかし，論理代数では，ある時刻の接点の開閉状態を表示することができるが，継電器の励磁電流の有無と接点の動作との間の時間の遅れは表示されない．そこで，大橋幹一博士[7]はその必要性を指摘し，論理代数とは全く異なる特殊な演算子法を提案して，この動作の時間遅れを導入された．しかし，あまり特殊なものであったため，一般に方程式を解くことができない状態であった．ここにいう接点動作の遅れとは，故意に動作を遅らす緩動継電器だけを意味するのではなく，たとえ，即時動作と称する継電器でも，1つの動作状態から次の動作状態への変化は，この接点動作の遅れを媒介として移り変っていくのであって，ちょうど微分方程式の d/dt のようなものである．したがって，これを採り入れなければ，継電器回路網の動作に関する必要充分な条件は表わされないのである．

上記の演算子法がなぜ扱いにくかったかというと，他の既知の数学の助けを借りられず，孤立無援であったからである．当時は，筆者は対岸の火事を見るような気で勝手な批評[8]をしていたのであったが，その後に至っても，方法的に進歩が見られなかったので，ついに工夫をしてみる気になり，まず計算の容易な論理代数を拠点としてこれを拡張し，接点動作の遅れを論理関数（論理記号で表わされた式）に採り入れる方が得策と考えて，その途を選び，未知の論理関数を含む

方程式，すなわち，**論理関数方程式**を作り[9]，これを解くことにより，継電器回路の動作の解析と構成を計算で求めることを発表した[10]．この結果を利用すれば，大橋博士の提案された演算子式の解も求められ，論理式で表現することができるのである．これは論理代数とは異なるので，**論理数学**と名付けたのであったが，論理数学を Boolean algebra または論理代数の別名だと誤解している人が多い．

以上の理論は，電磁継電器に限ったことではないので，真空管の場合には，格子への入力信号は，電磁継電器の励磁電流に対応し，出力信号は接点の動作に対応する．両者の間のわずかの遅れは，回路の時定数によって起る．それがいかに小さくても，入力信号が原因で出力信号が結果であることにおいて区別されなければならない．駒宮安男君はさらに，自動計算の動作条件を表わす代数式を論理数学によって解き，欧米の計算機回路に比べて優秀な回路を論理計算によって求めることができた[11]．このような理論はひとり自動計算機に限らず，各種の自動制御方式の設計に利用できるので，今後，複雑な動作条件が要望されるに伴い，その有効性がますます認められるものと思われる．欧米では近年まで論理代数の応用の範囲を脱却しなかったが，ようやく D.A. ハフマン[12]氏らによって，sequential circuit の名の下に接点の動作遅れを正式に考慮に入れた理論の研究が始められた．

この講義では，二値論理数学の基本法則，一元論理代数方程式の一般解，多元論理代数方程式の一般解，論理関数方程式の解法，最少数継電器の選定法，論理関数方程式の継電器回路網解析および構成への応用，三値論理とその応用，回路の変換と論理行列の応用，複雑な素子の取扱い方，多元多値論理代数方程式の一般解とその応用などについて述べる予定である．

2. 二値論理数学の基本法則

二値論理 (two-valued logic) とは，ふつうに使われている論理で，ある条件が成立する場合を**真**と称し（すなわち真理値1），成立しない場合を**偽**と称する（真理値0）きめ方で，その中間に，いささかもあいまいな判定を許さないのである．白黒のいずれかで，ねずみ色的存在を認めないのである．

電磁継電器の場合だと，前にも述べたように，接点が開いている状態を0とし，閉じている状態を1とするのが便利である．同様に，継電器巻線も励磁されている場合を1とし，無励磁の状態を0とする．人によっては1と0とを反対に使う者もあるが，自動計算機の場合だと，2進法に対しては，0と1との数字ですべての数が表わされるので，何も数字のない場合，すなわち，0に対しては継電器も休止状態で無励磁0となる方がつごうがよい．もしも反対に使うと，継電器の状態1が数字0に対応することになって，はなはだまぎらわしくなる．

継電器Fの励磁電流 F と接点fの開閉状態 f との間には，ある時間 τ だけの遅れがあるとすると（第2.1図の実線は真理値1を，破線は0を示す），

$$f(t)=F(t-\tau)\equiv DF(t) \qquad (2\cdot1)$$

で表わされる．ここに t は時刻，τ は特に一定である必要はない．

ここにFと F と，f と f を区別したが，これは論理学におけるある**命題** (proposition) Fとそれの真理値 F とを区別するのに対応している．命題とは，一定の主張や判断を言語でいい表わしたものであるから，数学上の条件でも命題となる．しかし，誤りを生ずるおそれのない場合には F,f を F,f と書いてもさしつかえない．

継電器または接点の動作は，否定すれば正反対の動作をするものを表わすこととなるから，

$$\sim f=1-f,\ \sim 0\rightleftarrows 1,\sim 1\rightleftarrows 0 \qquad (2\cdot2)$$

である．$\sim f$ は励磁電流 F が流れる（すなわち1）と0になる（τ だけ遅れて）から，開くような接点の動作を表わしている．

論理積すなわち直列接点については，

$$0\wedge 0\rightleftarrows 0,\ 0\wedge 1\rightleftarrows 1\wedge 0\rightleftarrows 0,\ 1\wedge 1\rightleftarrows 1 \qquad (2\cdot3)$$

である．同様に論理和すなわち並列接点については，

$$0\vee 0\rightleftarrows 0,\ 0\vee 1\rightleftarrows 1\vee 0\rightleftarrows 1,\ 1\vee 1\rightleftarrows 1 \qquad (2\cdot4)$$

対等すなわち2つの接点が同一動作をする場合は，

$$0\rightleftarrows 0,\ 1\rightleftarrows 1 \qquad (2\cdot5)$$

である．

つぎに，カッコを節約するために，カッコを付けない場合の演算の順序は，先にやる方から順に書くと，

ふつうの数学の演算，D, $\sim$, $\wedge$, $\vee$, $\rightarrow$, $\rightleftarrows$ (2・6)

である．これはふつうの数学で×，±，＝の順に演算するのと同様である．たとえば，

$$(f\rightleftarrows x\rightarrow a\vee b\sim Dc)$$
$$\equiv[f\rightleftarrows[x\rightarrow\{a\vee(b(\sim(Dc)))\}]] \qquad (2.7)$$

第 2・1 図

である．

論理演算の記号は人によっていろいろのものが使われており，不定 $\sim a$ の代りに Na, $\neg a$, a', a_1, $\bar{a}$ などがある．$\sim a$ のほかでは $\bar{a}$ が良いが，印刷で往々 ¯ が消えるのと，複素数の共役数とまぎれる場合にはまずい．また，何重にも重なる場合にも不便である．筆記には～よりも簡便である．論理積 $\wedge$ の代りには $\cdot$, $\times$, $\cap$, & が使われる．論理積の記号を省略する場合は別として，$\wedge$ のほかでは $\cap$ がよい．代数の記号と同じものを使うのは，代数と共用する場合にまぎらわしい．論理和 $\vee$ の代りに $+$, $\cup$, or などが使われる．このうちでは $\cup$ が良いが，$+$ はやはり，代数との共用に際してつごうが悪い．代数とは演算法則が異なるのであるから，別の記号の方が良い．含意 $A \to B$ の代りに $A \supset B$ が使われるが，$A \to B$ の場合は A の方が成立範囲が狭いか等しいかであるから $A \supset B$ は誤解を生じやすい．真理値で表わすと $A \leqq B$ である．ただし，条件としては A の方が B より一般には厳しいのであるから，併立条件は一般には A の方が B より多くなるのである．ちょうど，特許の請求範囲を書く場合に制限条件が多ければ多いほど狭くなるのと同様である．対等 $\rightleftarrows$ の代りには ～，$=$ が使われることがあるが，$=$ は代数記号と誤りやすい．ある人は代数記号と同じものを用いる方が親しみやすいから入りやすいようにいうが，どうせ，演算法則が異なるのであるから，間違いを起さない記号の方がよい．

後に述べる**三値論理**（three-valued logic）と二値論理とを共用する場合には，記号を使い分ける方が便利だから，二値論理の～，$\wedge$, $\vee$, $\to$, $\rightleftarrows$ に対応して三値論理では $\neg$（または—），$\cap$, $\cup$, $\to$, $\rightleftarrows$ を用いることも考えられる．

(2·2)～(2·5) 式の関係を表で書くと**第 2·1 表**のようになる．これを基礎にして，任意の条件 A,B などの関係を書くと，次の公式が成立する．これは A,B などに具体的に 0 または 1 の真理値を入れてみると直ちに正しいことが証明される．

$$\sim(AB) \rightleftarrows \sim A \vee \sim B \qquad (2\cdot8)\ !!$$

$$\sim(A \vee B) \rightleftarrows \sim A \sim B \qquad (2\cdot9)\ !!$$

第 2·1 表

A	B	$\sim A$	$\sim B$	AB	$A \vee B$	$A \to B$	$A \rightleftarrows B$
0	0	1	1	0	0	1	1
0	1	1	0	0	1	1	0
1	0	0	1	0	1	0	0
1	1	0	0	1	1	1	1

$$A \vee A \rightleftarrows A,\ AA \rightleftarrows A,\ A \vee AB \rightleftarrows A \qquad (2\cdot10)\ !!$$

$$A(B \vee C) \rightleftarrows AB \vee AC \qquad (2\cdot11)\ !!$$

$$(A \vee B)(A \vee C) \rightleftarrows AA \vee AC \vee BA \vee BC \rightleftarrows A \vee BC \qquad (2\cdot12)\ !!$$

$$A \to B \rightleftarrows \sim A \vee B \qquad (2\cdot13)\ !!$$

$$(A \rightleftarrows B) \rightleftarrows (A \to B)(B \to A) \qquad (2\cdot14)\ !!$$

$$\rightleftarrows AB \vee \sim A \sim B \qquad (2\cdot14')\ !!$$

$$(A \rightleftarrows 1) \rightleftarrows 1\ A \vee 0 \sim A \rightleftarrows A \qquad (2\cdot15)\ !!$$

$$(A \rightleftarrows 0) \rightleftarrows 0\ A \vee 1 \sim A \rightleftarrows \sim A \qquad (2\cdot16)$$

$$\sim A \vee A \rightleftarrows 1,\ \sim AA \rightleftarrows 0 \qquad (2\cdot17)\ !!$$

$$AB \vee A \sim B \vee \sim AB \vee \sim A \sim B \rightleftarrows 1 \qquad (2\cdot18)\ !!$$

このうちで (2·8), (2·9) 両式を比較すると，和と積とが入れ替っているだけであり，(2·11)式と(2.12)式とにおいても同様である．これは積の記号を省略せずに書くといっそう明瞭となるであろう．

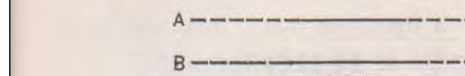
すなわち，

$$\left.\begin{aligned} &\sim(A \wedge B) \rightleftarrows \sim A \vee \sim B \\ &\sim(A \vee B) \rightleftarrows \sim A \wedge \sim B \\ &A \wedge (B \vee C) \rightleftarrows (A \wedge B) \vee (A \wedge C) \\ &A \vee (B \wedge C) \rightleftarrows (A \vee B) \wedge (A \vee C) \end{aligned}\right\} \qquad (2\cdot19)$$

このように任意の論理式の中の積と和とを全部入れ替えても成立することを**双対性**（duality）という．これは電気回路の直並列の入れ替えと，起電力と電流との入れ替え，アドミタンスとインピーダンスとの入れ替えに相当するもので興味のあることである．(2·11) 式は代数と同じであるが，(2·12) 式は代数とは異なる．これは全く (2.10) 式の性質に由来するのであって，ふつうの代数と異なり，はるかに計算が簡単になるのもこのためである．

次に，(2.13) 式では $A \to B$ が真である場合には，第 2·1 表および**第 2·2 図**に示すように，A が 0 である範囲（時刻 t に対する変化を表わし，点線で 0 を示す）では B は 1 か 0 であり，A が 1 の範囲（実線で示す）では B は必ず 1 なので「$\sim A$ が 1（すなわち A が 0）か B が 1 か」の場合に $A \to B$ は正しい（すなわち 1 となる）のである．(2·14′) 式は，A と B とが対等であるということは A と B との真理値が等しいときに真になるのであるから，A と B とが同時に 1 となるか，または同時に 0 となる（すなわち $\sim A \sim B$ が 1）場合に正しいことを意味する．

(2·15), (2·16) 両式で示されるように，単に A と書けば，それは $A \rightleftarrows 1$ と同じ意味を表わしており，単に $\sim A$ と書けば，$A \rightleftarrows 0$ と同じ意味を表わしているのである．さらに (2·13) 式の $A \to B$ の意味は，「A



第 2・2 図

なら B」といっても「Aが成立しない場合は B はどうでもよい」ということをも同時に含めていることは注意すべきである．さらに (2・13) 式の場合には $A\to B$ が偽であるときに $\sim A\vee B$ もまた偽であることをも意味するのである．このように，一般に論理式の$\rightleftarrows$の両辺は真の場合のみならず，偽の場合のことをも考慮に入れているのである．この点は，われわれが「A なら B」という語から受ける感じよりもはるかに徹底しているのである．

(2・17) 式の意味は A と $\sim A$ とですべての場合をつくしているので，和は 1 となるのである．(2・18)式も同様で，A と B およびその否定とのすべての組合わせの和であるから 1 となるのである．

ところで，(2・13) 式を書き直すと，

$$A\to B\rightleftarrows\sim A\vee B$$
$$\rightleftarrows\sim A(\sim B\vee B)\vee(\sim A\vee A)B$$
$$\rightleftarrows\sim A\sim B\vee\sim AB\vee AB \qquad (2\cdot20)$$

となる．(2・20) 式と (2・18) 式とを比較してみると，(2.20) 式には $A\sim B$ という項を欠いている．すなわち $\sim(A\sim B)$ とも同じである．それは当然で，$A\sim B$ は (2・15) 式により $(A\rightleftarrows1)(B\rightleftarrows0)$ と同じであるが，$A\to B$ では A が真で B が偽ということは成立しないから，$\sim(A\sim B)$ であることは明らかである．このように，任意の式は，一般には，すべての場合のうちのどれかの項を欠いた形で表わしうる．これを**加法標準形**(disjunctive normal form) という．どんな論理式でも，加法標準形に直せば，たがいに比較できるので便利である．たとえば，前述の (1・4)～(1・7) 式でも A, B について加法標準形で表わすと容易に比較できるのである．すなわち，(1・4) 式は，

$$A\to(B\to C)\rightleftarrows\sim A\vee\sim B\vee C \qquad (2\cdot21)$$
$$\rightleftarrows\sim AB\vee\sim A\sim B\vee A\sim B\vee C \qquad (2\cdot21')\,!!$$

これは C も混ぜて，$A, \sim A$; $B, \sim B$; $C, \sim C$ のすべての組合わせで表わしてもよいのであるが，ただ複雑となるだけだから，A, B のみについて標準形に直したのである．

(1・5) 式は，

$$(A\to B)\to C\rightleftarrows\sim A\vee B\to C$$
$$\rightleftarrows\sim(\sim A\vee B)\vee C$$
$$\rightleftarrows A\sim B\vee C \qquad (2\cdot22)\,!!$$

(1・6) 式は，

$$(A\rightleftarrows B)\to C\rightleftarrows\sim A\sim B\vee AB\to C$$
$$\rightleftarrows\sim(\sim A\sim B\vee AB)\vee C$$
$$\rightleftarrows\sim AB\vee A\sim B\vee C \qquad (2\cdot23)\,!!$$

注意 2・1：(2・18) 式のうち第 1 項と第 4 項との和を否定するので，残りの項となるのである．これは (2・8)，(2・9) 両式にしたがって計算しても，もちろん同じ結果となる．

(1・7) 式では，

$$AB\to C\rightleftarrows\sim(AB)\vee C$$
$$\rightleftarrows\sim A\sim B\vee\sim AB\vee A\sim B\vee C \qquad (2\cdot24)\,!!$$

となって，これは (2・21′) 式と同じことがわかるが，他はいずれも（一般には）これより成立範囲が狭い（いいかえれば条件が厳しい）ことがわかるのである．そのうちでは (2・22) 式がもっとも成立範囲が狭い．

ただし，(1・4)～(1・7) 式では，A, B, C が具体的な式で表わされているから，それを代入してみる必要がある．(2・21′) 式により，

(1・4) 式は，

$$(1\cdot4)\rightleftarrows(x\neq0)(x^2+y^2=0)$$
$$\vee(x=0)(x^2+y^2\neq0)$$
$$\vee(x\neq0)(x^2+y^2\neq0)\vee y=0$$
$$\rightleftarrows x\neq0\vee(x=0)(y^2\neq0)\vee y=0$$
$$\rightleftarrows x\neq0\vee(x\neq0)(y^2\neq0)\vee(x=0)(y^2\neq0)\vee y=0$$

［公式 (2・10) 第 3 式参照］

$$\rightleftarrows y\neq0\vee y^2\neq0\vee y=0$$
$$\rightleftarrows x\neq0\vee y\neq0\vee y=0$$
$$\rightleftarrows1 \qquad (2\cdot25)\,!!$$

すなわち，(1・4) 式は常に成立する関係であることがわかる．

同様に (2・22) 式により，(1・5) 式は，

$$(1\cdot5)\rightleftarrows(x=0)(x^2+y^2\neq0)\vee y=0$$
$$\rightleftarrows(x=0)(y\neq0)\vee y=0$$
$$\rightleftarrows(x=0)(y\neq0)\vee(x=0)(y=0)\vee y=0$$
$$\rightleftarrows x=0\vee y=0 \qquad (2\cdot26)\,!!$$

これで (1・5) 式は「$x=0$ か $y=0$ か」という条件と同じであることがわかった．したがって，「常に真理」とはいえないので，(1・4) 式とはもちろん異なるのである．これでは幾ら頭が良くても，論理計算によらなければ，ちょっとわかるまい．

それでは，(1・6) 式はどうか．これは (2・23) 式により，

$$(1.6)\rightleftarrows(x\neq0)(x^2+y^2=0)$$
$$\vee(x=0)(x^2+y^2\neq0)\vee y=0$$
$$\rightleftarrows(x\neq0)(x^2+y^2=0)\vee(x=0)(y^2\neq0)\vee y=0$$
$$\rightleftarrows x^2+y^2=0\vee x=0\vee y=0 \qquad (2\cdot27)\,!!$$

すなわち，x, y が実数のときは，第1項は $x=y=0$ と等しく，第2項または第3項に含まれるから，(2・26) 式，つまり，(1・5) 式と同じとなるが，複素数の場合には第1項が残るので，(1・5) 式よりは広い条件となる．

(1・7) 式は (2・24) 式で述べたように，常に (1・4) 式と同じ条件である．

このように，加法標準形を利用すると見掛上異なる条件が実は同じ条件であることや，類似の条件が異なる条件であることや，常に成立することか否かも容易に判定できる．

法律の条文なども，加法標準形で表わすと抜け道も矛盾も一目瞭然にわかる．しかし，法律を論理式で書かれては，全然融通がきかなくなって，運用の妙味は失われるかもしれない．

注意 2・2：(1・4)，(1・7) 両式，すなわち，(2・21)，(2・24) 両式の形は，いわゆる三段論法の形式である．(1・5) 式すなわち (2・22) 式の形は三段論法に似て非なるものであるから注意を要する．

読者は前述の (2・21)，(2・22)，(2・24) 各式を比較して異なる点を知られたと思うが，まだ納得できない方もあるかもしれないので，さらに蛇足を付け加えておこう．$A\rightarrow(B\rightarrow C)$ と $(A\rightarrow B)\rightarrow C$ とが同じように感じるわけは，とかく A が真の場合のみしか考えないからである．A が真のときは (2・21′)，(2・22) の両式ともに $A\sim B\vee C$ という項より残らないから，同じ場合を示すことになる．これが，両式を同じと感ずる種明しである．ところが，前にも述べたように，論理式の真偽を考える場合には，A が偽の場合まで取扱わなければならないのである．この場合に両式が異なるのである．(2・21′) 式を変形すれば，

$$(2\cdot21')\rightleftarrows\sim A\vee A\sim B\vee C \qquad (2\cdot21'')$$

ともなるので (2・22) 式に比べて $\sim A$ だけ多くなっているのである．(2・21) 式では A が偽なる場合は $B\rightarrow C$ が偽でもさしつかえないのである．

引 用 文 献

(1), (2) 通学誌 (昭 15—5,8)
(2), (3) 〃 (昭 18—8)
(4) Trans. A.I.E.E. 57 (1938), B.S.T.J. (1940-2)
(5) H. Piesch: Arch. f. Elektrotechnik, 33 (1939)
(6) J.I.E.E. (1948-7)
(7) 電気試験所 50 周年記念論文集 (昭 16)，通学誌 (昭17—7, 9)
(8) 電気工学年報，昭和 17 年版，p. 37 (昭 17—12)
(9) 電気試験所記念論文集 (昭 23)，電学誌 (昭 24—4)，電気試験所彙報 (昭 25—7)
(10) 電気試験所彙報 (昭 26—2) [正誤:第 3.5 図と第 3.9 図とを入れ替える]
同 60 周年記念特集号 (昭 26—8)
電気試験所彙報 (昭 30—10)
(11) 電気試験所研究報告，第 526 号 (昭 26—11)
(12) Journal of the Franklin Institute, Vol. 257, p. 161, March & p. 275, April (1954)

6.2 Textbook by Y. Komamiya

At pages 145 to 151 of this issue, we reprinted the title pages and few pages from the text books written by Prof. Komamiya. At the first page of the textbook we see that switching circuits are thought by referring to fundamentals based on Boolean algebra. In his approach, the Boolean algebra, although applied to engineering problems, as the design of computing networks, is viewed in a broad context of mathematical logic founded on the works of Friedrich Wilhelm Karl Ernst Schröder, David Hilbert, and Bertrand Arthur William Russel as a subfield of mathematics.

For the implementation purposes, the text book of Y. Komamiya refers to his work published in the treatise

Komamiya, Y., *Theory of Computing Networks*, Research of ETL, No. 580, September 1959. that is reprinted at pages 13 to 54 as well as on his other related references, including

Komamiya, Y., "Some properties of Boolean Function", *Autumn Meeting of Mathematical Society of Japan (Applied Mathematics Branch)*, October 1958, 27-31.


九州大学
KYUSHU UNIVERSITY

明治大学理工学部情報科学科

論理数学と論理デバイス

駒宮安男 著

謹呈

一九九〇年五月

著者

論理数学と論理デバイス

明治大学理工学部情報科学科教授
駒宮安男　著

まえがき

本書は明治大学理工学部情報科学科で論理数学を教えることになったので，その教科書として書いたものである．昭和 20 年 9 月東京大学電気工学科を卒業し，電気試験所（現在の電子技術総合試験所）に入所してより，小生の研究してきた事柄を含めて論理数学と論理デバイスの概括を述べたものである．

論理数学については，執筆の方針として一部を除いて，ヒルベルトの有限の立場（有限回の操作で実行可能な事実だけをよりどころにする立場．Turing 機械の立場と同じである）はとらず，通常の数学的立場をとる．論理デバイスについては，一般に 2 進符号と物理現象との対応という考え方から，現在用いられている回路にこだわらず，その方法が将来新しい素子が発明，発見されたとき，有効であろうことに主眼をおいた．

本書を執筆するに当たり，多くの文献を参考にした（文献欄参照）．特に後藤以紀先生のお書きになったものを多く参考にさせていただいた．後藤先生ならびに参考にした多くの方々に感謝する次第である．なお，本書のワープロ等による整理に尽力された本学助手井口幸洋博士，徳重典英氏及び大学院生松田和之君をはじめ，多くの学生諸君に感謝する次第である．

§§ 1 論理数学 (1),(2),(3)

1.1 論理数学の生い立ち

与えられた**開閉回路** (switching circuit) の解析をしたり，与えられた特性を有する開閉回路を構成したりするのに，いかなる数学を用いれば便利であるか．開閉回路というのは閉じている (on) 場合と開いている (off) 場合の 2 種類の動作をする回路であるゆえ，2 種類の値のみの演算でできている数学を利用すると便利であろうと考えられる．そこで，論理学について考えてみると，普通使用されている論理では，命題は真であるか，偽であるかの 2 種類で構成されている．ここにいう命題とは，「雪は白い」や「墨は黒い」などのように「真か偽か区別できる主張の内容」のことである．したがって，論理学を数学的に扱うものがあれば，それは利用できそうであることに気がつく．実際，論理代数と呼ばれるものがあって，ある条件（命題）が**真**であることを 1（**真理値** (truth value) が 1）に，偽であることを 0（真理値が 0）に対応させて，論理学上の命題と命題との関係を表し，その式を計算することにより推論過程および結果を全く数学的に表せるのである．したがってこれを開閉回路に応用し，開閉回路を構成している素子が閉じている場合を 1 に対応させ，開いている場合を 0 に対応させると，開閉回路の特性は上述の命題と命題との関係式で表すことが可能となる．

論理代数は**ブール代数** (Boolean Algebra)（1847 年ブール (G.Boole) により論じられた）とか，命題計算とか，記号論理学とか呼ばれており，ラッセル (B.A.W.Russel)，シュレーダ (E.Schröder)，ヒルベルト (D.Hilbert) 等を経て発展され現代に至っている．現代では，論理代数は数学基礎論，多値論理学（真，偽のほかにも，いくつかの真理値を含む論理学）等のうちに活躍している．

開閉回路，たとえば，継電器回路は，継電器の制御巻線に電流が流れてから，その接点が動作するまでに動作の遅れが必ず存在する．これは動作に因果関係があれば因果関係の伝搬速度は原理的に光速度以上にはなり得ない（相対性理論による）から原理的に必ず存在する．実際には光速度よりはるかに遅い速度であるので，動作遅れもはるかに大きく，

文献

§§ 1, §§ 4 に関して

(1) 駒宮 : 電子計算機, 電気学会, 1968 年 9 月初版

(2) Y.Komamiya : Some Properties of Boolean Function, Autumn Meeting of Mathematical Society of Japan (Applied Mathematics Branch) pp.27-31 (Oct., 1958)

(3) Y.Komamiya : Theory of Computing Networks, Researches of ETL, No.580 (Sept., 1959)

§§ 3 に関して

(4) 後藤以紀 : 電気試験所彙報 13, 12, p.494 (昭和 24), 19, 10, p.760 (昭和 30)
情報処理学会編 : 電子計算機ハンドブック, 第 1 編, オーム社に詳しい.

(5) 後藤以紀 : 論理数学とその応用, オームマスターコース,
昭和 34 年 4 月号 - 昭和 35 年 12 月号, 電気雑誌オーム, オーム社

§§ 4 に関して

(6) Y.Komamiya : Microwave Logic Circuits Using Esaki Diode, Feb., 1963, Isscc

(7) 駒宮, 橋爪, 片岡 : 波動論理回路, 昭和 44 年, 電気連大 3085 (1969)

(8) 駒宮 : 光－光制御, その可能性の試案, Electronics Journal, pp.26-28,
エレクトロニクス, オーム社

(9) 駒宮, 黒川, 後藤竜夫, 森亮一, 田島裕昭 : アナログ演算増幅器のみの組合せによるディジタル回路概要, 昭和 42 年, 電気連大 2785, 2786

§§ 5 に関して

(10) 駒宮 : 電気計算回路理論, 電気試験所研究報告, No.526 (1951 年 11 月)

(3) Y.Komamiya : Theory of Computing Networks, Researches of ETL, No.580 (Sept., 1959)

(11) 駒宮 ： 機能素子（ファンクショナルディバイス）-機能面からの可能性をさぐる-
電子通信学会，第 57 巻第 12 号（昭和 49 年 12 月）

(12) K.Tomizawa, M.Kawashima and S.Kataoka :
New logic functional device using transverse spreading of high-field domain in n type GaAs, Electronics Hetl, 7,10, (April 19, 1971)

§§ 6 に関して

(13) 駒宮 ： 命題値が連続的濃度を有する命題論理学とその応用について，
電気試験所研究報告，No.498，昭和 24 年 5 月（1949 年）

(14) 伊藤誠 ： n 値関数束（n 値論理）について（Ⅰ)(Ⅱ)，九大工学集報，Vol.28，No.2
（昭和 30 年）

(15) 伊藤誠 ： 一元 n 値関数束（論理）方程式の一般解について
（n 値関数束（n 値論理）の理論（Ⅲ)(Ⅳ)），九大工学集報（昭和 30 年）

§§ 7 に関して

(16) 駒宮 ： 複素命題論理学とその応用Ⅰ，電気試験所彙報第 14 巻第 7 号，pp.392-394

(17) 後藤以紀 ： 双曲数の理論とその応用，電気試験所研究報告第 448 号

§§ 8，§§ 10 に関して

(18) 伊藤誠訳 ： 記号論理学の基礎（ヒルベルト・アッケルマン著），大阪教育図書

(19) 駒宮 ： コンピュータ基礎論，昭晃堂，昭和 50 年 9 月

§§ 9，11.2 に関して

(20) 駒宮 ： 論理数学の Information Theory への応用，電気試験所彙報
第 17 巻第 4 号，（昭和 28 年 4 月）

§§ 11.1 に関して

(21) 向殿政男，土屋誠治，駒宮安男 ：
C 形フェイルセイフ論理の数学的構造について(1)，1968 年 2 月 21 日，
電子通信学会電子計算機研究会資料
C 形フェイルセイフ論理の数学的構造について(2)，1968 年 5 月 28 日，

電子通信学会電子計算機研究会資料

(22) 向殿政男 : C 形 Fail Safe 論理の数学的構造について，電子通信学会論文誌

第 52-C 巻第 12 号，昭和 44 年 12 月

(23) 土屋誠治 : 抵抗 - 半導体発振器によるフェイルセイフ 3 値論理回路，

電子通信学会電子計算機研究会資料

§§ 11.3 に関して

(24) 駒宮 : 多値論理数学と計算回路理論(Ⅰ)，昭和 30 年，電気三学会連大，p.9


MEIJI
UNIVERSITY

7 Reviews of the Work by Yasuo Komamiya

The Journal of Symbolic Logic contains two reviews of the work by Yasuo Komamiya, both written by Calvin C. Elgot.

"Theory of Computing Relay-Networks" by Yasuo Komamiya
Review by Calvin C. Elgot, *The Journal of Symbolic Logic*, Vol. 23, No. 3, 1958, 366.

Theory and Structure of the Automatic Relay Computer E. T. L. Mark II by Mochinori Goto, Yasuo Komamiya, Ryota Suekane, Masahide Takagi, Shigeru Kuwabara
Review by Calvin C. Elgot, *The Journal of Symbolic Logic*, Vol. 23, No. 1, 1958, 60.

We also show the review of a work by Mochinori Goto, since it is related to the main subject of this reprint and discusses the foundations upon which the construction of the first automatic computer in Japan is based.

"Application of logical mathematics to the theory of relay networks", *The Japan Science Review*, Vol. 1, No. 3, 1950, 35-42. Review by Alonzo Church, *The Journal of Symbolic Logic*, Vol. 20, No. 3, 1955, 285-286.

THE

JOURNAL

OF

SYMBOLIC LOGIC

EDITED BY

ALONZO CHURCH S. C. KLEENE ALICE A. LAZEROWITZ

Managing Editor: ALFONS BORGERS

Consulting Editors:

W. ACKERMANN
ALAN ROSS ANDERSON
C. A. BAYLIS
JONATHAN F. BENNETT
PAUL BERNAYS
MARTIN DAVIS
ANDRZEJ EHRENFEUCHT
ROBERT FEYS
FREDERIC B. FITCH
G. HASENJAEGER
CARL G. HEMPEL
LEON HENKIN
JOHN G. KEMENY
E. J. LEMMON
RICHARD MONTAGUE
ANDRZEJ MOSTOWSKI
GERT H. MÜLLER
STEVEN OREY
RÓZSA PÉTER
A. N. PRIOR
ABRAHAM ROBINSON
GENE F. ROSE
BARKLEY ROSSER
ARNOLD SCHMIDT
KURT SCHÜTTE
THORALF SKOLEM
CLIFFORD SPECTOR
J. F. THOMSON
A. R. TURQUETTE

VOLUME 23, NUMBERS 1 – 2

1958

PUBLISHED QUARTERLY BY THE ASSOCIATION FOR SYMBOLIC LOGIC, INC.

WITH SUPPORT FROM INSTITUTIONAL MEMBERS

UNIVERSITY OF CHICAGO
DARTMOUTH COLLEGE
DUKE UNIVERSITY
HARVARD UNIVERSITY
UNIVERSITY OF ILLINOIS
INSTITUTE FOR ADVANCED STUDY
LEHIGH UNIVERSITY
UNIVERSITY OF MICHIGAN
UNIVERSITY OF NEBRASKA
UNIVERSITY OF PENNSYLVANIA
PENNSYLVANIA STATE UNIVERSITY
PRINCETON UNIVERSITY
RUTGERS UNIVERSITY
SMITH COLLEGE
STANFORD UNIVERSITY
UNIVERSITY OF WASHINGTON

YASUO KOMAMIYA. *Theory of computing relay-networks.* ***Proceedings of the First Japan National Congress for Applied Mechanics 1951,*** Japan National Committee for Theoretical and Applied Mechanics, Science Council of Japan, Tokyo 1952, pp. 527–532.

The content of this article is incorporated as section III·IV, subsections III·IV·I through III·IV·V of XXIII 60(2), of which the author is a co-author. The comments of the review XXIII 60(2) are directed particularly at these subsections.

CALVIN C. ELGOT

MOCHINORI GOTO, YASUO KOMAMIYA, RYOTA SUEKANE, MASAHIDE TAKAGI, and SHIGERU KUWABARA. ***Theory and structure of the automatic relay computer E. T. L. Mark II.*** Researches of the Electrotechnical Laboratory, no. 556. Electrotechnical Laboratory, Agency of Industrial Science and Technology, Tokyo 1956, ix + 214 pp. and 37 plates.

Only Chapter III, *Theory of relay networks*, falls within the scope of this JOURNAL. The remarks of XX 285(2) are applicable. The theory of sequential circuits receives brief treatment relying on a few examples only. The authors stress a solution of equations of the form

$$\sum_{i=1}^{n} A_i = \sum_{i=0}^{\infty} d_i 2^i$$

where "$\sum$" denotes ordinary addition of natural numbers, and the parameters A_i as well as the d_j vary over 0, 1. The circuits "associated with" these solutions are claimed to possess novel self-checking features.

The solution which the authors give which recursively expresses the d_j's as a propositional formula in the A_i's is needlessly involved. A simpler recursive solution is readily given: d_0 is the modulo-two sum of the A_i's and

$$\sum_{k=1}^{n-1} B_k = \sum_{i=0}^{\infty} d_{i+1} 2^i$$

where B_k is the Boolean product of A_{k+1} and the modulo-two sum of $A_1, A_2, \ldots, A_k$. An explicit solution may also be given: d_i is the modulo-two sum of all $\prod S$ where S varies through all subsets of $\{A_1, A_2, \ldots, A_n\}$ with 2^i elements and "$\prod S$" denotes the product of the elements in S. This solution depends upon the fact that if $m = \sum_{i=0}^{\infty} d_i 2^i$, then d_i is congruent modulo two to $\binom{m}{2^i}$.

CALVIN ELGOT

MOTINORI GOTÔ. *Application of logical mathematics to the theory of relay networks.* ***The Japan science review,*** vol. 1 no. 3 (1950), pp. 35–42.

The author's references are entirely to papers published in Japan. It is said that symbolic logic or logical algebra was applied to the theory of relay networks by A. Nakazima and M. Hanzawa, "Nippon Electrical Communication Engineering, May, Aug., 1940," and Y. Simazu, ibid., "Aug., 1943"; and that K. Ohasi, "Fiftieth Year Memorial Essays of Electrotechnical Laboratory, Ministry of Communications, 1941," "pointed out the defects of the old theories, which could not treat mathematically the time-delay of relay contacts," and invented a special method for that purpose, which was later extended by T. Kozima, "Nipon Electrical Communication Engineering, July, Sept., 1942."

The reference to Nakazima (or Nakasima) and Hanzawa appears to be inaccurate. It is probably intended for XVIII 346(6), and a later *Part II* of the same paper, which the reviewer has not seen. The papers by Simazu, Ohasi, and Kozima the reviewer has also not been able to see.

The main content of the present paper is an exposition of the now familiar application of propositional calculus to analysis and synthesis of electric circuits. However where necessary to represent time delay, the propositional letters A, B, C, X, ... are reconstrued as standing for propositional functions with time as the argument, and such "equations" are written as e.g., $X_{n-1} \rightleftarrows C_{0n} \sim X_n \vee C_{1n} X_n$, where n is a variable whose values are integers, representing successive intervals of time which are all of equal length (corresponding to a fixed time delay τ). In more usual notation this equation might be written as $X(n-1) \equiv C_0(n) \sim X(n) \vee C_1(n) X(n)$. Thus the author's system is in effect a free-variable singulary functional calculus, supplemented by a delay operator, but without quantifiers.

The author also points out in a short paragraph that there are cases in which, although the analysis of a circuit by two-valued propositional calculus indicates that it is (for instance) always closed, "an actual circuit may often be interrupted on account of the divergence of the time-delay" in the operation of two or more relays or the like. For such cases a three-valued propositional calculus is proposed, with values 0 (open), $\frac{1}{2}$ (indeterminate), and 1 (closed), and truth-tables for negation, conjunction, and disjunction that are evidently taken from Łukasiewicz's 1868. The proposal is not developed and no use is made of it in the remainder of the paper. ALONZO CHURCH

8 Selected Publications by Yasuo Komamiya

1. **Paper 1**
   Komamiya, Y., "Theory of relay networks for the transformation between the decimal system and the binary system", *Bull. of E.T.L.*, Vol. 15, No. 8, August 1951, 188-197.

2. **Paper 2**
   Komamiya, Y., "Theory of computing networks", *Research of E.T.L.*, No. 526, November 1951.

3. **Paper 3**
   Komamiya, Y., "Theory of computing networks", *Proc. of the First National Congress for Applied Mathematics*, 1952, 527-532.

4. **Paper 4**
   Komamiya, Y., "Application of logical mathematics to information theory (Application of theory of group to logical mathematics)", *The Bulletin of the Electrotechnical Laboratory in Japanese Government*, April 1953.

5. **Paper 5**
   Komamiya, Y., "Application of logical mathematics to information theory", *Proc. 3rd Japan. Nat. Cong. Appl. Math.*, 1953, 437.

6. **Paper 6**
   Komamiya, Y., "Logical representation of algebraic condition in computing networks",*Symposium of Switching Circuits and Automaton*, Spring Joint Meeting of Institute of Electrical Engineers of Japan, May 1958, 1-9.

7. **Paper 7**
   Komamiya, Y., "Some properties of Boolean Function", *Autumn Meeting of Mathematical Society of Japan (Applied Mathematics Branch)*, October 1958, 27-31.

8. **Paper 8**
   Komamiya, Y., *Theory of Computing Networks*, Researchers of the Applied Mathematics Section of Electrotechnical Laboratory in Japanese Government, 2 Chome, Nagata-cho, Chiyodaku, Tokyo, July 10, 1959, p. 40.

9. **Paper 9**
   Komamiya, Y., *Theory of Computing Networks*, Researchers of the Applied Mathematics Section of Electrotechnical Laboratory in Japanese Government, 2 Chome, Nagata-cho, Chiyodaku, Tokyo, No. 580, September, 1959.

10. **Paper 10**
    Goto, M., Komamiya, Y., Suekane, R., Takagi, M. Kuwabara, S., *Theory and Structure of the Automatic Relay Computer E.T.L. Mark 2*, *Research of E.T.L.*, No. 556, September 1956.

11. **Paper 11**
    Komamiya, Y., Sugiyama, T., Tajima, H., Ogata, K., "New uniformity of the characteristic of tunnel diodes does not give much influence (Dynamic Asynchronous Logic Circuit System)", *Prof. Group Electronic Comp.*, Inst. of Electrical Communication Engineers of Japan, Aug. 1960.

12. **Paper 12**
    Komamiya, Y., Tajima, H., Sugiyama, T. "Microwave DALC system using tunnel diodes for ultra high speed computer", *Prof. Group Electronic Comp.*, Inst. of Electrical Communication Engineers of Japan, Dec., 1961.

13. **Paper 13**
    Komamiya, Y., "Microwave logic circuits using tunnel diodes - Dynamic Asynchronous Logic Circuit System", *Bull. of Electrotechnical Laboratory*, Japanese Government, Vol. 26, No. 6, 1962, 454-472.

14. **Paper 14**
    Komamiya, Y., "Microwave logic circuit using Esaki diode", *International Solid-State Circuits Conference*, February 20, 1963, 24-25.

For the purposes of making conditions of underground water clear, electrical prospecting surveyes were carried out to determine the depth of tertiary base rock at Matsuyama, Saitama Prefecture and that of limestone at Kawara, Yamaguchi Prefecture. In case of Matsuyama, both a d.c. potentiometer method and an earth resistivity meter method were used to draw apparent resistivity curves by Wenner's four electrode system. There were rather good agreements between the results of the electrical prospecting and actual underground conditions made clear through boring. Although values of the resistivity obtained by the earth resistivity meter were higher than those by the d. c. potentiometer; it seems, as a result of characteristic test of the resistivity meter, to be due to a stray emf produced by the commutator part owing to both deterioration of insulation and transient phenomena that occur following breaking of the circuit. In case of Kawara, the d.c. potentiometer method was used to draw equivalent resistivity curves in deciding the depth of the limestone bed. Next, at a spot near an inlet of underground water on a river bed, a survey was carried out of underground water paths through a limestone bed by both the d.c. potentiometer method and a low frequency electromagnetic method. In the electromagnetic method, electromagnetic fields were produced by 25 cycle alternating current impressed at the inlet. There is agreement between the results obtained by the two methods. Some explanations have been given on the low frequency electromagnetic field prospecting method and result of its application.

The Measurement of Coal Qualities by High Frequency Losses. Naofumi MAKINO, Hisatomo KIWAKI and Shigehiko KOMEJI 178

For the purpose of deciding coal qualities, that are defined by ash contents and heat energies, as simply and quickly as demanded in most manufactories, the authors have measured the high frequency losses of various coals and found that the losses increase with the ash contents. With the exception of cases of only a few mines, this relation is of such a high accuracy in quality comparison of various kinds of coals of the same mine that it is applicable to practical use. Experimental results are described, and a theoretical explanation is given on the fact that the errors due to high frequency losses of the coal sample vessel, residual inductance of lead wires and variation of the filling-up coefficient are negligibly small, showing that the performance of the measuring apparatus is satisfactory.

The Theory of Gas Discharge Voltages. Shigeo NAGAO 180

The following three theoretical researches are reported: (1) Derivation of Saha's thermal ionization equation by the model of photo-ionization of molecules and recombination of the ions. An equation was obtained that has the same dependency not only on the temperature but also on the pressure of the gases as Saha's thermal ionization equation. (2) Derivation of the ignition voltage of high frequency gas discharges under an assumption of the ambipolar diffusions. Frequency dependency is also suggested. (3) Derivation of discharging voltages of Geissler's tube without any assumption of the field linearity in front of the cathode as is usually done.

Theory of Relay Networks for the Transformation between the Decimal System and the Binary System. Yasuo KOMAMIYA 188

Although it is generally impossible in algebraic equations to solve unknowns definitely when the number of unknowns is not equal to the number of equations, the author proves that a certain type of algebraic equation of the first degree with many unknowns can be definitely solved by applying the logical mathematics. Using results obtained by the logical mathematics, various computing circuits of the binary system can be constructed by an entirely unified and similar method. Discussion on construction of the circuits which transform the decimal system into the binary system and vice versa, and that on the adding circuits of the binary system are given. The features of the author's theory are as follows: (1) after calculation is carried out by ordinary mathematical method as far as the method is applicable, "Aussagenkalkül" is performed by the logical mathematic method, thus making able to construct any desirable circuits by calculation alone all through the design of the circuits; (2) although the computing circuits have hitherto been constructed by the so-called impulse method, which uses the electric impulse, the circuits designed by the author's method automatically operate one after another falling over like a lot of ninepines.

Theory on the Design of the Magnetic Lenses for Electron Microscopes: Koichi KANAYA

UDC 621.392.01: 621.316.776

10 進法⇄2 進法變換繼電器回路理論

Theory of Relay Networks for the Transformation between the Dicimal System and the Binary System.

駒 宮 安 男*

§1. 緒　　言

代數方程式においては，一般に未知數の個數と方程式のそれとは，同數でなければ，未知數は一義的には解けない。然るに，多元一次代數方程式の或る型のものは，論理數学的には一義的に解けることをまず証明する。即ち，代數方程式を論理方程式に変換して解けば論理数学的には，一義的（未知數がその方程式中の既知の文字の論理的組合せで表現出来る）に解けるのである。上述の理論を用いて，種々の2進法演算繼電器回路を全く統一的に，同様な方法で設計することが出来るが，こゝでは 10 進法より2進法，2進法より10進法への夫々の変換回路，並びに2進法加算回路を求めてみる。本理論の特徴は，通常の数字を可成用いて，行ける処まで行き，通常の数字ではどうにもならなくなつた処まで行つてから，論理数学を用い，最初より最後まで完全に計算（論理数学の処は命題計算）だけで，求める繼電器回路を設計し得る事である。又，従来の電気演算回路は普通 impulse を用いる所謂，impulse 法であるが，本理論で設計した諸回路は，将棋倒し的に次から次へと自動的に動作してゆく点である。なお，本理論に馴れてくれば，実際には最初に書く代數方程式より直ちに，求める繼電気回路網を書き下すことが出来る。又，数学的には，論理数学と通常の数学との連繫の一試みであり，今後も論理数学の，この方面の研究を大いに発展させる必要があると考える。

最後に，本論文において用いる論理数学の記号について述べる。即ち，否定，論理積，論理和，対等として

$$\sim,\ \cdot,\ \vee,\ \rightleftarrows$$

を用い，記号の強弱も上記の順に左が一番強いものとする。なお，論理積・の記号は，時には省略することがある。

§2. 多元一次代數方程式の論理数学的解法

こゝで言う多元一次代數方程式とは一般に

$$A_1+A_2+\cdots\cdots+A_n=d_m2^m+d_{m-1}2^{m-1}+\cdots\cdots+d_12+d_0 \qquad (2\cdot1)$$

茲で，A：0 又は 1 の何れかの値をとる既知数

d：0又は1の何れかの値をとる未知数

m：$2^m\leqq n$ なる最大の整数

なるものとする

これは，10 進法の数と2進法の数との関係式であることは明らかである。本節では，(2·1) 式における d を A の論理的結合で表わすことが主眼である。勿論通常の数学では，方程式が1個しかないのに，未知数 d は $m+1$ 個もあるので d は一義的には解けない。

さて，最初に，本題を論ずるに必要な2，3の補助定理から述べる。

【定理 2·1】 $A_1+A_2+A_3=d_12+d_0$ なるときは

$d_0\rightleftarrows\{A_3\rightleftarrows(A_2\rightleftarrows A_1)\}$，$d_1\rightleftarrows A_1A_2\vee A_2A_3\vee A_3A_1$

但し A，d は0又は1

【証　明】

d_0，d_1 を表わす論理式（A_1，A_2，A_3 を命題変項とする）をそれぞれ

$$f(A_1,\ A_2,\ A_3),\ g(A_1,\ A_2,\ A_3)$$

とする。

仮定により，A_1，A_2，A_3 は0又は1以外の値をとらないから

$$0\leqq A_1+A_2+A_3\leqq3 \qquad (2\cdot2)$$

(i)　$A_1+A_2+A_3=3$ なるとき

$A_1=A_2=A_3=1$ にして $d_0=d_1=1$ なることは明らかなり。

$$\left.\begin{aligned}\therefore\ & f(1,\ 1,\ 1)=1\\ & g(1,\ 1,\ 1)=1\end{aligned}\right\} \qquad (2\cdot3)$$

(ii)　$A_1+A_2+A_3=2$ なるとき

A_1，A_2，A_3 のうち何れか2個は1にして，残りの1個は0なり。又，$d_0=0$，$d_1=1$ なることは明らかなり。

$$\begin{aligned}\therefore\ & f(1,\ 1,\ 0)=f(1,\ 0,\ 1)\\ &\qquad\quad =f(0,\ 1,\ 1)\\ &\qquad\quad =0 \qquad (2\cdot4)\\ & g(1,\ 1,\ 0)=g(1,\ 0,\ 1)\end{aligned}$$

*材料部

$$=g(0,\ 1,\ 1)$$
$$=1 \qquad (2\cdot5)$$

(iii) $A_1+A_2+A_3=1$ なるとき

A_1, A_2, A_3 のうち何れか1個は1にして，残りの2個は0なり。又，$d_0=1$, $d_1=0$ なることは明らかなり。

$$\therefore\ f(1,\ 0,\ 0)=f(0,\ 1,\ 0)$$
$$=f(0,\ 0,\ 1)$$
$$=1 \qquad (2\cdot6)$$
$$g(1,\ 0,\ 0)=g(0,\ 1,\ 0)$$
$$=g(0,\ 0,\ 1)$$
$$=0 \qquad (2\cdot7)$$

(iv) $A_1+A_2+A_3=0$ なるとき

明らかに $A_1=A_2=A_3=0$, $d_0=d_1=0$

$$\therefore\ \left.\begin{matrix} f(0,\ 0,\ 0)=0 \\ g(0,\ 0,\ 0)=0 \end{matrix}\right\} \qquad (2\cdot8)$$

然るに，

$f(A_1,\ A_2,\ A_3)$ は一般に次の様に表わせられる。

$$\begin{aligned} f(A_1,\ A_2,\ A_3)\rightleftarrows & f(1,\ 1,\ 1)A_1A_2A_3 \\ & \vee f(1,\ 1,\ 0)A_1A_2{\sim}A_3 \\ & \vee f(1,\ 0,\ 1)A_1{\sim}A_2A_3 \\ & \vee f(0,\ 1,\ 1){\sim}A_1A_2A_3 \\ & \vee f(1,\ 0,\ 0)A_1{\sim}A_2{\sim}A_3 \\ & \vee f(0,\ 1,\ 0){\sim}A_1A_2{\sim}A_3 \\ & \vee f(0,\ 0,\ 1){\sim}A_1{\sim}A_2A_3 \\ & \vee f(0,\ 0,\ 0){\sim}A_1{\sim}A_2{\sim}A_3 \end{aligned} \qquad (2\cdot9)$$

故に，(2·9)式の係数を(2·3)，(2·4)，(2·6)，(2·7)の諸式によつて決定すれば

$$\begin{aligned} f(A_1,\ A_2,\ A_3)\rightleftarrows & A_1A_2A_3\vee A_1{\sim}A_2{\sim}A_3\vee{\sim}A_1A_2 \\ & {\sim}A_3\vee{\sim}A_1{\sim}A_2A_3 \qquad (2\cdot10) \\ \rightleftarrows & A_1(A_2A_3\vee{\sim}A_2{\sim}A_3)\vee{\sim}A_1(A_2 \\ & {\sim}A_3\vee{\sim}A_2A_3) \\ \rightleftarrows & A_1(A_2\rightleftarrows A_3)\vee{\sim}A_1{\sim}(A_2\rightleftarrows A_3) \\ \rightleftarrows & \{A_1\rightleftarrows(A_2\rightleftarrows A_3)\} \qquad (2\cdot10') \\ \rightleftarrows & \{A_3\rightleftarrows(A_2\rightleftarrows A_1)\} \qquad (2\cdot10'') \end{aligned}$$

$$\therefore\ d_0\rightleftarrows\{A_3\rightleftarrows(A_2\rightleftarrows A_1)\} \qquad (2\cdot11)$$

同様にして，$g(A_1,\ A_2,\ A_3)$を(2·3)，(2·5)，(2·7)，(2·8)の諸式により決定すれば

$$\begin{aligned} g(A_1,\ A_2,\ A_3)\rightleftarrows & A_1A_2A_3\vee A_1A_2{\sim}A_3\vee A_1{\sim}A_2A_3 \\ & \vee{\sim}A_1A_2A_3 \qquad (2\cdot12) \\ \rightleftarrows & A_1A_2\vee A_2A_3\vee A_3A_1 \qquad (2\cdot12') \end{aligned}$$

$$\therefore\ d_1\rightleftarrows A_1A_2\vee A_2A_3\vee A_3A_1 \qquad (2\cdot13)$$

【系 2·1】 $A_1+A_2=d_1 2+d_0$ なるときは

$d_0\rightleftarrows(\sim A_2\rightleftarrows A_1)$, $d_1\rightleftarrows A_1A_2$

【証 明】

〔定理 2·1〕において $A_3\rightleftarrows 0$ とおけば

$$d_0\rightleftarrows\{0\rightleftarrows(A_2\rightleftarrows A_1)\} \qquad (2\cdot14)$$
$$\rightleftarrows\sim(A_2\rightleftarrows A_1) \qquad (2\cdot14')$$
$$\rightleftarrows(\sim A_2\rightleftarrows A_1) \qquad (2\cdot14'')$$
$$d_1\rightleftarrows A_1A_2 \qquad (2\cdot15)$$

勿論，このときは $0\leqq A_1+A_2\leqq 2$ となる。

【系 2·2】 $A_1+A_2=d_0$ なるときは

$d_0\rightleftarrows(\sim A_2\rightleftarrows A_1)$

【証 明】

〔系 2·1〕において $d_1=0$ とおけばよし

而して，このときは $0\leqq A_1+A_2\leqq 1$

【定理 2·2】

$A_1+A_2+\cdots\cdots\cdots+A_n=d_n 2^n+d_{n-1}2^{n-1}+\cdots\cdots$
$+d_1 2+d_0$ なるときは

(i) n が奇数ならば

$d_0\rightleftarrows(A_n\rightleftarrows(A_{n-1}\rightleftarrows(\cdots\cdots\rightleftarrows(A_3\rightleftarrows(A_2\rightleftarrows A_1))\cdots\cdots)$

(ii) n が偶数ならば

$d_0\rightleftarrows(\sim A_n\rightleftarrows(A_{n-1}\rightleftarrows(\cdots\cdots\rightleftarrows(A_3\rightleftarrows(A_2\rightleftarrows A_1))\cdots\cdots)$

但し A, d は 0 又は1にして，m は $2^m\leqq n$ なる最大の整数

【証 明】

(i) n が奇数なるとき

$$n=2k+1 \qquad (2\cdot16)$$

とおくことが出来る。而して，

$$\left.\begin{matrix} A_1+A_2+A_3=B_{11}2+B_{10}\leqq 3 \\ A_4+A_5+B_{10}=B_{21}2+B_{20}\leqq 3 \\ A_6+A_7+B_{20}=B_{31}2+B_{30}\leqq 3 \\ \vdots \\ A_{2k}+A_{2k+1}+B_{(k-1)0}=B_{k1}2+B_{k0}\leqq 3 \end{matrix}\right\}$$

但し B は0又は1 (2·17)

で表わされる故，

$$A_1+A_2+\cdots A_{2k+1}=(B_{11}+B_{21}+\cdots+B_{k1})2+B_{k0} \qquad (2\cdot18)$$

$$\therefore\ d_0=B_{k0} \qquad (2\cdot19)$$

又，(2·17)の諸式に〔定理 2·1〕を適用すれば，

$$\left.\begin{matrix} B_{10}\rightleftarrows\{A_3\rightleftarrows(A_2\rightleftarrows A_1)\} \\ B_{20}\rightleftarrows\{A_5\rightleftarrows(A_4\rightleftarrows B_{10})\} \\ \vdots \\ B_{(k-1)0}\rightleftarrows\{A_{2k}\rightleftarrows(A_{2k-1}\rightleftarrows B_{(k-2)0})\} \end{matrix}\right\} \qquad (2\cdot20)$$

$$B_{k0}\rightleftarrows\{A_{2k+1}\rightleftarrows(A_{2k}\rightleftarrows B_{(k-1)0})\} \qquad (2\cdot21)$$

(2·20)，(2·21)の諸式を夫々代入して，まとめれば，

$$B_{k0}\rightleftarrows(A_{2k+1}\rightleftarrows(A_{2k}\rightleftarrows(\cdots\cdots\rightleftarrows(A_3\rightleftarrows(A_2\rightleftarrows A_1))\cdots) \qquad (2\cdot22)$$

(2·16)，(2·19)，(2·22)の諸式により

$$d_0\rightleftarrows(A_n\rightleftarrows(A_{n-1}\rightleftarrows(\cdots\cdots\rightleftarrows(A_3\rightleftarrows(A_2\rightleftarrows A_1))\cdots\cdots) \qquad (2\cdot23)$$

(ii) n が偶数なるとき

$$n=2k \tag{2·24}$$

とおくことが出来る。而して，

$$\left.\begin{aligned} &A_1+A_2+A_3=B_{11}2+B_{10}\leqq 3\\ &A_4+A_5+B_{10}=B_{21}2+B_{20}\leqq 3\\ &A_6+A_7+B_{20}=B_{31}2+B_{30}\leqq 3\\ &\vdots\\ &A_{(2k-2)}+A_{(2k-1)}+B_{(k-2)0}\\ &\quad=B_{(k-1)1}2+B_{(k-1)0}\leqq 3 \end{aligned}\right\} \tag{2.25}$$

$$A_{2k}+B_{(k-1)0}=B_{k1}2+B_{k0} \tag{2·26}$$

但し B は 0 又は 1 で表わされる故，

$$A_1+A_2+\cdots\cdots+A_{2k}=(B_{11}+B_{21}+\cdots\cdots+B_{k1})2+B_{k0} \tag{2·27}$$

$$\therefore\quad d_0=B_{k0} \tag{2·28}$$

又，(2.25)式の諸式に〔定理 2·1〕を適用すれば，B_{10}, B_{20}, ……, $B_{(k-1)0}$ に関しては，(2.20) の諸式と全く同じになるが B_{k0} に関しては (2.26) 式に〔系 2·1〕を適用して

$$B_{k0}\rightleftarrows(\sim A_{2k}\rightleftarrows A_{2k-1}) \tag{2.29}$$

を得る。故に，(2.20)，(2.29)の諸式をまとめれば

$$B_{k0}\rightleftarrows(\sim A_{2k}\rightleftarrows(A_{2k-1}\rightleftarrows(\cdots\cdots\rightleftarrows(A_3\rightleftarrows(A_2\rightleftarrows A_1))\cdots\cdots)) \tag{2.30}$$

(2.24)，(2.28)，(2.30)の諸式により

$$d_0\rightleftarrows(\sim A_n\rightleftarrows(A_{n-1}\rightleftarrows(\cdots\cdots\rightleftarrows(A_3\rightleftarrows(A_2\rightleftarrows A_1))\cdots\cdots)) \tag{2.31}$$

〔系 2·3〕 前定理において

(i) k が奇数ならば

$$d_1\rightleftarrows(B_{k1}\rightleftarrows(B_{(k-1)1}\rightleftarrows(\cdots\cdots(B_{31}\rightleftarrows(B_{21}\rightleftarrows B_{11}))\cdots)$$

(ii) k が偶数ならば

$$d_1\rightleftarrows(\sim B_{k1}\rightleftarrows(B_{(k-1)1}\rightleftarrows(\cdots(B_{31}\rightleftarrows(B_{21}\rightleftarrows B_{11}))\cdots)$$

【証 明】

〔定理 2·2〕 における

$$A_1+A_2+\cdots+A_n=d_m2^m+d_{m-1}2^{m-1}+\cdots+d_12+d_0$$

と，(2·18)，(2·19)両式又は(2·27)，(2·28)両式とにより

$$B_{11}+B_{21}+\cdots\cdots B_{k1}=d_m2^{m-1}+d_{m-1}2^{m-2}+\cdots\cdots+d_22+d_1 \tag{2.32}$$

故に〔定理 2·2〕を(2·32) 式に適用すれば

(i) k が奇数なるとき

$$d_1\rightleftarrows(B_{k1}\rightleftarrows(B_{(k-1)1}\rightleftarrows(\cdots\cdots(B_{31}\rightleftarrows(B_{21}\rightleftarrows B_{11}))\cdots)$$

(ii) k が偶数なるとき

$$d_1\rightleftarrows(\sim B_{k1}\rightleftarrows(B_{(k-1)1}\rightleftarrows(\cdots(B_{31}\rightleftarrows(B_{21}\rightleftarrows B_{11}))\cdots)$$

【附記 2·1】 〔系 2·3〕における B_{11}, B_{21}, …, B_{k1} 等は

(i) $n=2k+1$ ならば

(2·17) の諸式に〔定理 2·1〕を適用して

$$\left.\begin{aligned} B_{11}&\rightleftarrows A_1A_2\vee A_2A_3\vee A_3A_1\\ B_{21}&\rightleftarrows A_4A_5\vee A_5B_{10}\vee B_{10}A_4\\ B_{31}&\rightleftarrows A_6A_7\vee A_7B_{20}\vee B_{20}A_6\\ &\vdots\\ B_{(k-1)1}&\rightleftarrows A_{2k-2}A_{2k-1}\vee A_{2k-1}\\ &\quad B_{(k-2)0}\vee B_{(k-2)0}A_{2k-2}\\ B_{k1}&\rightleftarrows A_{2k}A_{2k+1}\vee A_{2k+1}B_{(k-1)0}\\ &\quad B_{(k-1)0}A_{2k} \end{aligned}\right\} \tag{2·33}$$

(ii) $n=2k$ ならば

(2·25)の諸式に〔定理 2·1〕を適用して求めれば，B_{11}, B_{21}, ……, $B_{(k-1)1}$ は(i)の場合と全く同じとなる。唯，B_{k1} は(2·26)式に〔系 2·1〕を適用して

$$B_{k1}\rightleftarrows A_{2k}B_{(k-1)0} \tag{2·34}$$

となる。

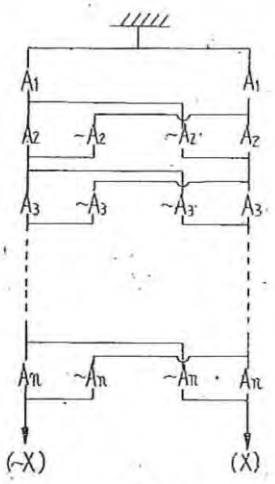
【附記 2·2】 斯の如くして，順々に d_0, d_1, d_2, ……d_m が凡て A_1, A_2, ……, A_n の論理式として求められる。之は，d を未知数とする多元一次代数方程式(2·1)式を論理数学的に解いたことを意味する。

§3. 多元一次代数方程式 (2·1) の解を表わす継電器回路網

多元一次代数方程式(2·1)の未知数 d_0, d_1, ……, d_m を既知数 A_1, A_2, ……, A_n で表わす継電器回路網を求めてみる。即ち，各 A, d は凡て 0 又は 1 の何れかの値しか採らないから，各 A を継電器の接点に対応させて，各 d を継電器回路網で表わすのである。

まず，一般に

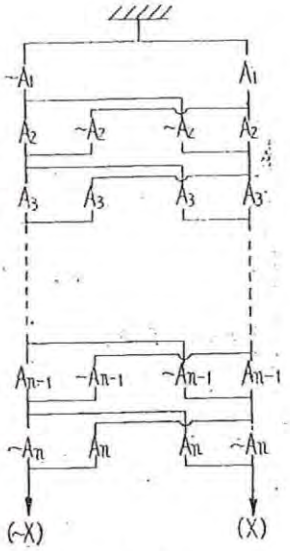
$$X\rightleftarrows(A_n\rightleftarrows(A_{n-1}\rightleftarrows(\cdots\rightleftarrows(A_3\rightleftarrows(A_2\rightleftarrows A_1))\cdots\cdots)) \tag{3·1}$$



第 3·1 図

$$X\rightleftarrows(\sim A_n\rightleftarrows(A_{n-1}\rightleftarrows(\cdots\cdots\rightleftarrows(A_3\rightleftarrows(A_2\rightleftarrows A_1))\cdots\cdots) \tag{3·2}$$

なる式は夫々(第3·1図)，(第3·2図)で表わされる。図において各文字 A は継電器の接点を表わすものと



第3·2図

する。又，一般に

$$Y\rightleftarrows A_1A_2\vee A_2A_3\vee A_3A_1 \tag{3·3}$$

$$\rightleftarrows A_2A_3\vee(A_2\rightleftarrows\sim A_3)A_1 \tag{3·3'}$$

$$\sim Y\rightleftarrows\sim(A_1A_2\vee A_2A_3\vee A_3A_1) \tag{3·4}$$

$$\rightleftarrows\sim A_1\sim A_2\vee\sim A_2\sim A_3\vee\sim A_3\sim A_1 \tag{3·4'}$$

$$\rightleftarrows\sim A_2\sim A_3\vee(A_2\rightleftarrows\sim A_3)\sim A_1 \tag{3·4''}$$

なる式は夫々(第3·2図)，(第3·4図)で表わされる。

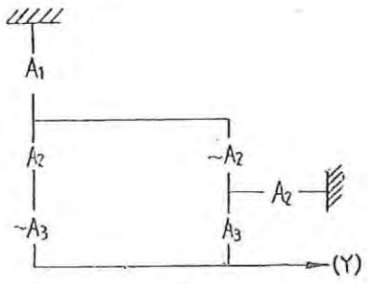
上述の結果を利用して，多元一次代数方程式(2·1)の解を表わす継電器回路網を例について論ずる。

【例3·1】 $A_1+A_2+\cdots\cdots+A_7=d_2 2^2+d_1 2+d_0$ において，d_0，d_1，d_2 を A で表わす継電器回路網は，〔定理2·2〕，〔系2·3〕を適用して，d を A で表わせば

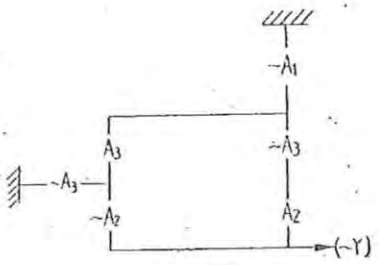
$$\left.\begin{aligned}A_1+A_2+A_3&=B_{11}2+B_{10}\\A_4+A_5+A_{10}&=B_{21}2+B_{20}\\A_6+A_7+B_{20}&=B_{31}2+B_{30}\end{aligned}\right\} \tag{3·5}$$

$$B_{11}+B_{21}+B_{31}=C_{11}2+C_{10} \tag{3·6}$$

とおけば



第3·3図



第3·4図

$$d_0\rightleftarrows B_{30} \tag{3.7}$$

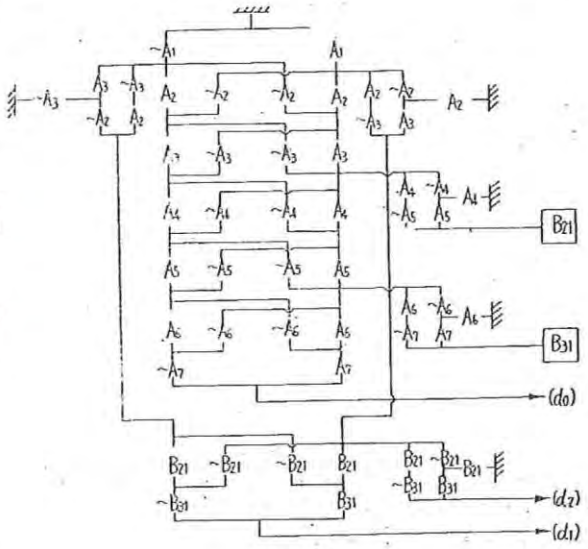
$$\rightleftarrows(A_7\rightleftarrows(A_6\rightleftarrows\cdots\cdots\rightleftarrows(A_3\rightleftarrows(A_2\rightleftarrows A_1))\cdots\cdots) \tag{3·7'}$$

$$d_1\rightleftarrows C_{10} \tag{3·8}$$

$$\rightleftarrows(B_{31}\rightleftarrows(B_{21}\rightleftarrows B_{11})) \tag{3·8'}$$

$$d_2\rightleftarrows C_{11} \tag{3·9}$$

$$\rightleftarrows B_{11}B_{21}\vee B_{21}B_{31}\vee B_{31}B_{11} \tag{3·9'}$$



第3·5図

$$\rightleftarrows B_{21}B_{31}\vee(B_{21}\rightleftarrows\sim B_{31})B_{11} \qquad (3\cdot9'')$$

となる故，(3.7′)，(3·8′)，(3·9″) の諸式に (第 3·1図) 乃至 (第 3·4 図) を適用して，繼電器回路網を書けば (第 3·5 図) となる。図において例えば，$\boxed{B_{21}}$ は接点 B_{21} に対する繼電器の勵磁コイルを表わすものとする。

【例 3·1】 $A_1+A_2+\cdots\cdots+A_5=d_2 2^2+d_1 2+d_0$ なる場合は，

$$\left.\begin{aligned}A_1+A_2+A_3&=B_{11}2+B_{10}\\A_1+A_5+B_{10}&=B_{21}2+B_{20}\end{aligned}\right\} \qquad (3\cdot10)$$

$$B_{11}+B_{21}=C_{11}2+C_{10} \qquad (3\cdot11)$$

とおけば，

$$d_0\rightleftarrows B_{20} \qquad (3\cdot12)$$

$$\rightleftarrows(A_5\rightleftarrows(A_4\rightleftarrows(A_3\rightleftarrows(A_2\rightleftarrows A_1)))) \qquad (3\cdot12')$$

$$d_1\rightleftarrows C_{10} \qquad (3\cdot12')$$

$$\rightleftarrows(\sim B_{21}\rightleftarrows B_{11}) \qquad (3\cdot13')$$

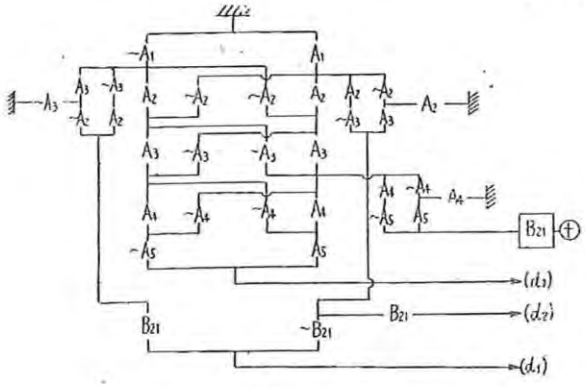
$$d_2\rightleftarrows C_{11} \qquad (3\cdot14)$$

$$\rightleftarrows B_{11}B_{21} \qquad (3\cdot14')$$

なる故 (第 3·6 図) で表わされる。

【附記 3·1】 回路網については，それと等価な回路図はいくつか出来るが，こゝではその一例を示したに過ぎない。可成，どの繼電器も同数の接点になる様にするとか，change over の接点を多くなる様にするとかの思想によつて組んだだけで，実際に回路を組む時は，等価 (同じ論理式で表わされる回路) ならば変更してもよいことは，明らかなことである。

§ 4. 10 進法→2 進法変換繼電器回路理論



第 3·6 図

こゝでは，10 進法 2 桁の場合を例にとつて論ずる。10 進法 2 桁の数は一般に

$$a_1 10+a_0 \quad \text{但し } 0\leqq a_1,\ a_0\leqq 9 \qquad (4\cdot1)$$

で表わされる。之を 2 進法で表わしたものを

$$b_6 2^6+b_5 2^5+\cdots\cdots+b_1 2+b_0 \qquad (4\cdot2)$$

とする。実際，$2^7=128$，$2^6=64$ $\frac{1}{2}$ なる故 (4·2) 式となる。

さて，(4·1) 式において a_0，a_1 は

$$a_i=C_{i3}2^3+C_{i2}2^2+C_{i1}2+C_{i0} \qquad (4\cdot3)$$

但し，C_{i0}，C_{i1}，C_{i2}，C_{i3} は 0 又は 1

$i=0,\ 1$

而して

$$C_{i1}C_{i3}\rightleftarrows 0,\quad C_{i2}C_{i3}\rightleftarrows 0 \qquad (4\cdot4)$$

で表わされる故，(4·1)，(4·3) 両式より

$$\begin{aligned}a_1 10+a_0&=(C_{13}2^3+C_{12}2^2+C_{11}2+C_{10})(2^3+2)\\&\quad+(C_{03}2^3+C_{02}2^2+C_{01}2+C_{00}) \qquad (4\cdot5)\\&=C_{13}2^6+C_{12}2^5+(C_{13}+C_{11})2^4+(C_{10}+C_{12}\\&\quad+C_{03})2^3+(C_{11}+C_{02})2^2+(C_{10}+C_{01})2+C_{00}\end{aligned}$$

(4·5′)

(4·5′) 式の右辺を 2 の器に展開すれば，

2^0 の係数	C_{00}
2^1 の係数	$C_{01}+C_{10}=d_{11}2+d_{10}\leqq 2$
2^2 の係数	$C_{02}+C_{11}+d_{11}=d_{21}2+d_{20}\leqq 3$
2^3 の係数	$C_{03}+C_{10}+C_{12}+d_{21}=d_{32}2^2+d_{31}2+d_{30}\leqq 4$
2^4 の係数	$C_{11}+C_{13}+d_{31}=d_{41}2+d_{40}\leqq 2$
2^5 の係数	$C_{12}+d_{32}+d_{41}=d_{51}2+d_{50}\leqq 3$
2^6 の係数	$C_{13}+d_{31}=d_{61}2+d_{60}\leqq 1$
2^7 の係数	$d_{61}=0$ (第 4·1 表)
	(但し d は 0 又は 1)

(第 4·1 表) により

$$a_1 10+a_0=d_{62}2^6+d_{52}2^5+\cdots\cdots+d_{12}2+C_{00} \qquad (4\cdot6)$$

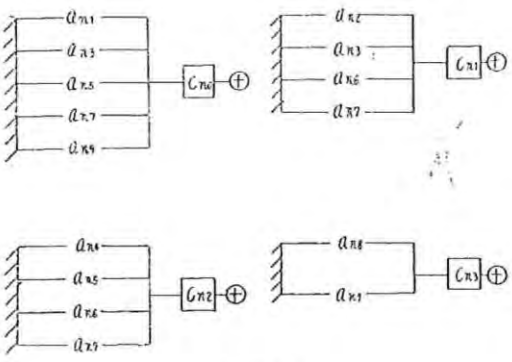
(4·2)，(4·6) 両式より

$$b_0=C_{00},\ b_{i0}=d_{i0} \quad \text{但し } i=1,2,\cdots\cdots,6, \qquad (4\cdot7)$$

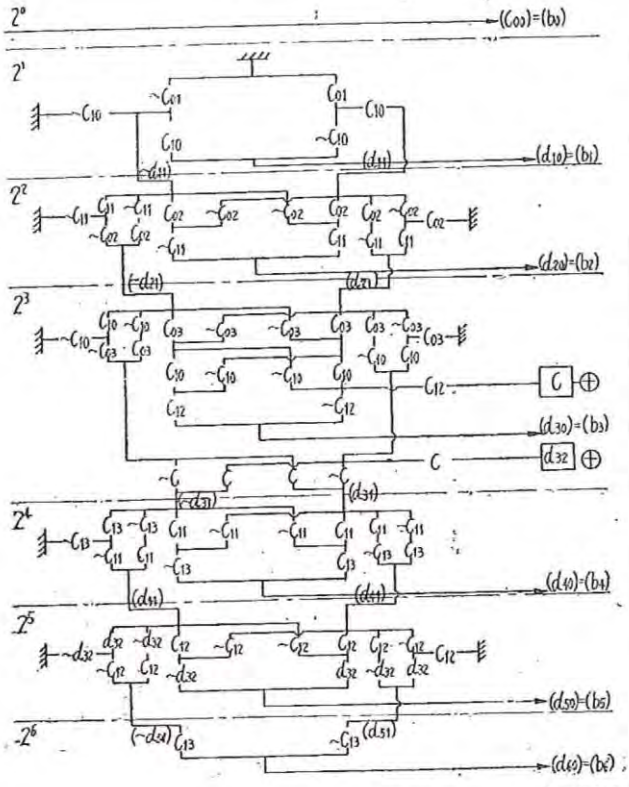
を得る。

故に § 3 で述べた諸定理により (第 4·1 表) の各式から各 d を求めれば，(第 4·2 図) となる。又，10 進法で表わされた数 (4·1) 式の a を (4·5) 式の C に変換する回路は，明らかに (第 4·1 図) で表わされる。(第 4·1 図) において，a_{nk} は 10^n 位における k なる数を表わすものとする。

【附記 4·1】 (第 4·1 表) において，d を求めるに当つては，実際には，馴れてくれば § 3 の諸定理により d を表わす論理式を求めなくても，(第 4·1 表) の諸式を見ただけで，直接，回路図 (第 4·2 図) を書き下すことが出来るのである。



第 4・1 図



第 4・2 図

§ 5. 2 進法→10 進法変換継電器回路理論

最初に，2 進法の数 (4・2) 式が与えられているものとする。然らば，

$$b_6 2^6+b_5 2^5+\cdots\cdots+b_1 2+b_0 \qquad (5\cdot1)$$

$$=\{b_6 64+b_5 32+b_4 16+\cdots\cdots+b_1 2+b_0\}$$
$$=\{b_6 2^2+(b_6+b_5)2+(b_5+b_4)\}10+\{b_3 2^3$$
$$+(b_6+b_4+b_2)2^2+(b_4+b_4+b_1)2+b_0\} \qquad (5\cdot1')$$

今，(5・1′)式の 10 の係数を A_1，残りを A_0 で表わせば，

$$b_6 2^6+b_5 2^5+\cdots\cdots+b_1 2+b_0=A_1 10+A_0 \qquad (5\cdot2)$$

$$A_1\equiv b_6 2^3+(b_6+b_5)2+(b_5+b_4) \qquad (5\cdot3)$$

$$A_0=b_3 2^3+(b_6+b_4+b_2)2^2+(b_5+b_4+b_1)2+b_0 \qquad (5\cdot4)$$

b_0, b_1, ……, b_5, b_6 は 0 又は 1 以外の値を採らないから，(5・3(, (5・4) 両式より夫々

$$0\leqq A_0\leqq 27,\quad 0\leqq A_1\leqq 10 \qquad (5\cdot5)$$

を得る。

(I) A_0 を 2 の冪に展開すれば，

2^0 の係数	b_0
2^1 の係数	$b_1+b_4+b_5=d_{011}2+d_{010}\leqq 3$
2^2 の係数	$b_2+b_4+b_6+d_{011}=d_{022}2^2+d_{021}2+d_{020}\leqq 4$
2^3 の係数	$b_3+d_{021}=d_{031}2+d_{030}\leqq 2$
2^4 の係数	$d_{023}+d_{034}=d_{041}2+d_{040}\leqq 1$
2^5 の係数	$d_{041}=0$ (第 5・1表)

(5・4)式により(第 5・1 表)を得る。(5・5)式により $0\leqq A_0\leqq 27$ なる故，2^5 の係数は 0 となる。さて，(第5・1表)により

$$A_0=d_{040}2^4+d_{032}2^3+d_{020}2^2+d_{010}2+b_0 \qquad (5\cdot6)$$
$$=d_{040}10+\{d_{032}2^3+(d_{010}+d_{020})2^2+(d_{040}+d_{010})2+b_0 \qquad (5\cdot6')$$
$$\equiv d_{040}10+A_0' \quad \text{とおく} \qquad (5\cdot6'')$$

故に，(5・5)，(5・6″) 両式より

$$0\leqq A_0'\leqq 17 \qquad (5\cdot7)$$

$$A_0'\equiv d_{030}2^3+(d_{040}+d_{020})2^2+(d_{040}+d_{010})2+b_0 \qquad (5\cdot8)$$

A_0' を同様に，2 の冪に展開すれば

2^0 の係数	b_0

2^1 の係数 $d_{010}+d_{010}=e_{011}2+e_{010}\leqq 2$
2^2 の係数 $d_{020}+d_{010}+e_{011}=e_{021}2+e_{020}\leqq 3$
2^3 の係数 $d_{030}+e_{021}=e_{031}2+e_{030}\leqq 2$
2^4 の係数 e_{031} (第 5·2 表)

(5·7), (5·8) 両式により (第5·2表) を得る。

$$\therefore\ A_0'=e_{032}2^4+e_{030}2^3+e_{020}2^2+e_{010}2+b_0 \qquad (5\cdot9)$$
$$=e_{031}10+\{e_{030}2^3+(e_{031}+e_{020})2^2+(e_{031}+e_{010})2+b_0\} \qquad (5\cdot9')$$
$$\equiv e_{031}10+A_0'' \quad \text{とおく} \qquad (5\cdot9'')$$

故に, (5·7), (5·9') 両式により

$$0\leqq A_0''\leqq 15 \qquad (5\cdot10)$$
$$A_0''\equiv e_{030}2^3+(e_{031}+e_{020})2^2+(e_{031}+e_{010})2+b_0 \qquad (5\cdot11)$$

A_0'' を同様に 2 羃に展開すれば

2^0 の係数 b_0
2^1 の係数 $e_{010}+e_{031}=f_{011}2+f_{010}\leqq 2$
2^2 の係数 $e_{020}+e_{031}+f_{011}=f_{021}2+f_{020}\leqq 3$
2^3 の係数 $e_{030}+f_{021}=f_{031}2+f_{030}\leqq 1$
2^4 の係数 $f_{031}=0$ (第 5·3 表)

(5·10), (5·11) 両式により (第 5·3 表) を得る。

$$\therefore\ A_0''=f_{030}2^3+f_{020}2^2+f_{010}2+b_0 \qquad (5\cdot12)$$
$$\equiv\alpha_0 10+C_{03}2^3+C_{02}2^2+C_{01}2+C_{00} \qquad (5\cdot12')$$

とおけば

但しこゝに C_{0i} は (4·3) 式において定義したものと同じである。

$$\alpha_0\rightleftarrows f_{030}(f_{010}\vee f_{020}) \qquad (5\cdot13)$$

$$\left.\begin{array}{llll}
\sim C_{00}\sim C_{01}\sim C_{02}\sim C_{03}\rightleftarrows(f_{030}\rightleftarrows f_{010})\sim f_{020}\sim b_0\\
\ \ C_{00}\sim C_{01}\sim C_{02}\sim C_{03}\rightleftarrows(f_{030}\rightleftarrows f_{010})\sim f_{020}\ \ b_0\\
\sim C_{00}\ \ C_{01}\sim C_{02}\sim C_{03}\rightleftarrows(f_{030}\rightleftarrows f_{020}\rightleftarrows\sim f_{010})\sim b_0\\
\ \ C_{00}\ \ C_{01}\sim C_{02}\sim C_{03}\rightleftarrows(f_{030}\rightleftarrows f_{020}\rightleftarrows\sim f_{010})\ \ b_0\\
\sim C_{00}\sim C_{01}\ \ C_{02}\sim C_{03}\rightleftarrows(f_{030}\rightleftarrows f_{010})f_{020}\sim b_0\\
\ \ C_{00}\sim C_{01}\ \ C_{02}\sim C_{03}\rightleftarrows(f_{030}\rightleftarrows f_{010})f_{020}\ \ b_0\\
\sim C_{00}\ \ C_{01}\ \ C_{02}\sim C_{03}\rightleftarrows\sim f_{030}\ \ f_{010}\ \ f_{010}\sim b_0\\
\ \ C_{00}\ \ C_{01}\ \ C_{02}\sim C_{03}\rightleftarrows\sim f_{030}\ \ f_{020}\ \ f_{010}\ \ b_0\\
\sim C_{00}\sim C_{01}\sim C_{02}\ \ C_{03}\rightleftarrows\ \ f_{030}\sim f_{020}\sim f_{010}\sim b_0\\
\ \ C_{00}\sim C_{01}\sim C_{02}\ \ C_{03}\rightleftarrows\ \ f_{030}\sim f_{020}\sim f_{010}\ \ b_0
\end{array}\right\}$$

こゝで, ……(5·14)

(5·13)式の α_0 は桁上りを表わし, (5·14) の諸式は, 上より順に 1 位の 0, 1, 2, ……, 8, 9 を表わしている。

【注意】 (5·14)式において例えば $(f_{030}\rightleftarrows f_{020}\rightleftarrows\sim f_{010})$ なる論理式は $(f_{030}\rightleftarrows f_{020})(f_{030}\rightleftarrows\sim f_{010})$ を表わすものとする。

(5·6'), (5·9''), (5·12') の諸式より

$$A_0=(d_{010}+e_{031}+\alpha_0)10+C_{03}2^3+C_{02}2^2+C_{01}2+C_{00} \qquad (5\cdot15)$$

(5·5)式より $0\leqq A_0\leqq 27$ なる故,

$$0\leqq d_{010}+e_{031}+\alpha_0\leqq 2 \qquad (5\cdot16)$$

$d_{010}+l_{030}+\alpha_0$ を同様に 2 の羃に展開すれば

2^0 の係数 $d_{010}+e_{031}+\alpha_0=i_{001}2+i_{000}\leqq 2$
2^1 の係数 i_{001} (第 5·4 表)

$$\therefore\ A_0=(i_{001}2+i_{000})10+C_{03}2^3+C_{02}2^2C_{01}2+C_{00} \qquad (5\cdot17)$$

又, (5·5), (5·16)両式より

$$0\leqq A_1+i_{001}2+i_{000}\leqq 12 \qquad (5\cdot18)$$

又 (5·3), (5·17) 両式より

$$A_1+i_{001}2+i_{000}$$
$$=b_6 2^2+(b_5+b_6+i_{001})2+(b_4+b_6+i_{000}) \qquad (5\cdot19)$$

(II) $A_1+i_{001}2+i_{000}$ を 2 の羃に展開すれば

2^0 の係数 $b_1+b_5+i_{000}=d_{101}2+d_{100}\leqq 3$
2^1 の係数 $b_5+b_6+i_{001}+d_{101}=d_{112}2^2+d_{111}2+d_{110}\leqq 4$
2^2 の係数 $b_6+d_{111}=d_{121}2+d_{120}\leqq 2$
2^3 の係数 $d_{112}+d_{121}=d_{131}2+d_{130}\leqq 1$
2^4 の係数 $d_{131}=0$ (第 5·5 表)

(5·18), (5·19)両式により (第 5·5 表)を得る。

$$\therefore\ A_1+i_{001}2+i_{000}=d_{130}2^3+d_{120}2^2+d_{110}2+d_{100} \qquad (5\cdot20)$$
$$\equiv\alpha_1 10+C_{13}2^3+C_{12}2^2+C_{11}2+C_{10} \qquad (5\cdot20')$$

とおけば,

但しこゝに C_{1i} は (4·3) 式において定義したものと同じである。

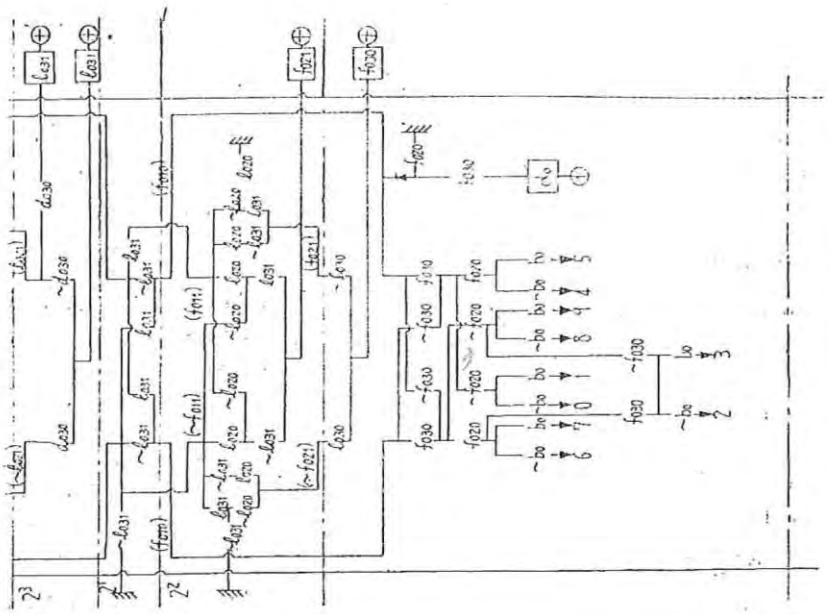
α_1 は桁上りを表わし, 10 位の 0, 1, 2, ……, 8, 9 は(5·13), (5·14) と同様にして, 夫々

$$\alpha_1\rightleftarrows d_{130}(d_{110}\vee d_{120}) \qquad (5\cdot21)$$

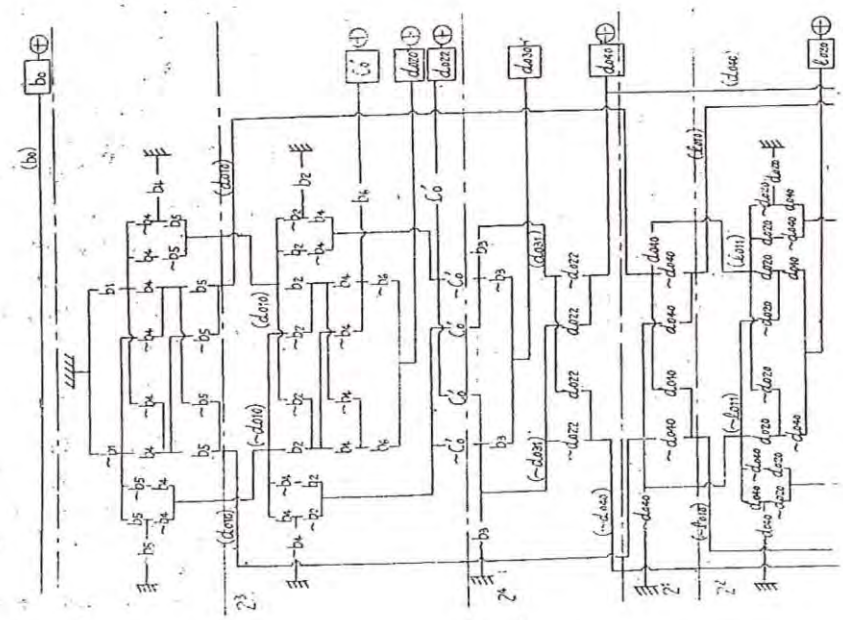
$$\left.\begin{array}{llll}
\sim C_{10}\sim C_{11}\sim C_{12}\sim C_{13}\rightleftarrows(d_{130}\rightleftarrows\sim d_{110})\sim d_{120}\sim d_{100}\\
\ \ C_{10}\sim C_{11}\sim C_{12}\sim C_{13}\rightleftarrows(d_{130}\rightleftarrows d_{110})\sim d_{120}\ \ d_{100}\\
\sim C_{10}\ \ C_{11}\sim C_{12}\sim C_{13}\rightleftarrows(d_{130}\rightleftarrows d_{120}\rightleftarrows\sim d_{110})\sim d_{100}\\
\ \ C_{10}\ \ C_{11}\sim C_{12}\sim C_{13}\rightleftarrows(d_{130}\rightleftarrows d_{120}\rightleftarrows\sim d_{110})\ \ d_{100}\\
\sim C_{10}\sim C_{11}\ \ C_{12}\sim C_{13}\rightleftarrows(d_{130}\rightleftarrows d_{110}d_{120}\sim d_{110}\\
\ \ C_{10}\sim C_{11}\ \ C_{12}\sim C_{13}\rightleftarrows(d_{130}\rightleftarrows d_{110})d_{120}\ \ d_{100}\\
\sim C_{10}\ \ C_{11}\ \ C_{12}\sim C_{13}\rightleftarrows\sim d_{130}\ \ d_{120}\ \ d_{110}\sim d_{100}\\
\ \ C_{10}\ \ C_{11}\ \ C_{12}\sim C_{13}\rightleftarrows\sim d_{130}\ \ d_{120}\ \ d_{110}\ \ d_{100}\\
\sim C_{10}\sim C_{11}\sim C_{12}\ \ C_{13}\rightleftarrows\ \ d_{130}\sim d_{120}\sim d_{110}\sim d_{100}\\
\ \ C_{10}\sim C_{11}\sim C_{12}\ \ C_{13}\rightleftarrows\ \ d_{130}\sim d_{120}\sim d_{110}\ \ d_{100}
\end{array}\right\}$$

を得る。 (5·22)

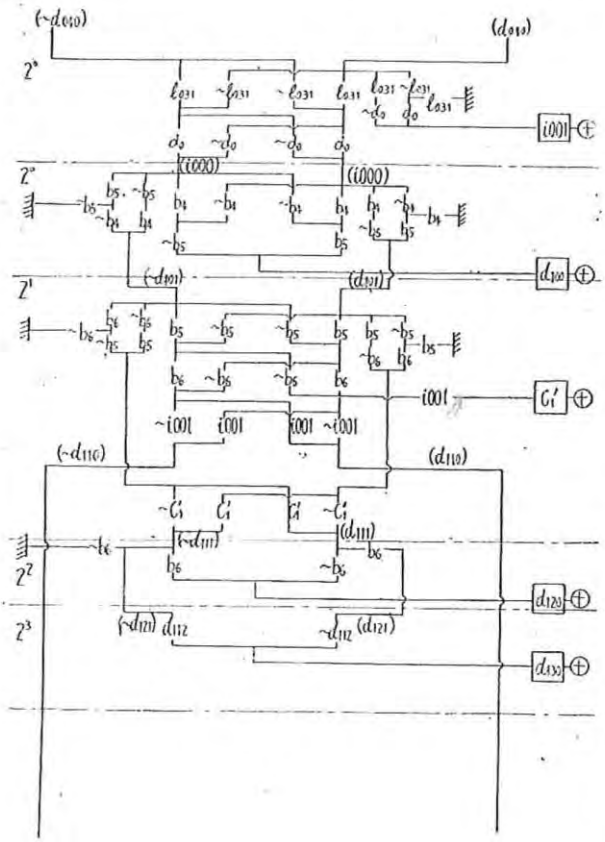
故に (第 5·1 表) 乃至 (第 5·5 表) 及び (5·13) (5·14) (5·21), (5·22) の諸式により, § 4 の場合と同様にして (第 5·1 図) を得る。



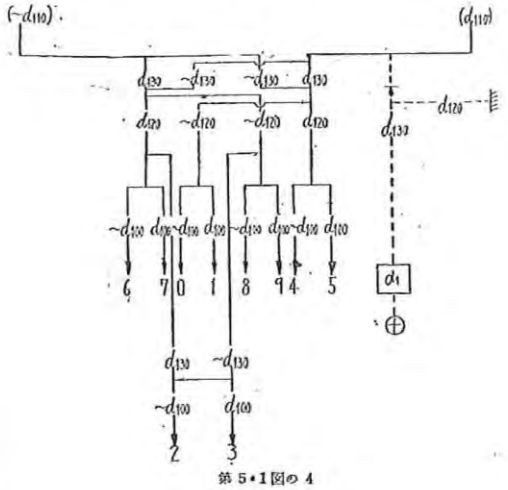
第 5・1 図の 2



第 5・1 図の 1



第 5・1 図の 3



第 5・1 図の 4

§ 6. 2進法加算繼電器回路理論

これも，上述の所論と同様にして論ぜられる。

今，2 進法 n 桁の 2 つの数を X_n, Y_n とすれば，

$$X_n=x_n2^n+x_{n-1}2^{n-1}+\cdots\cdots+x_12+x_0 \qquad (6\cdot1)$$

$$Y_n=y_n2^n+y_{n-1}2^{n-1}+\cdots\cdots+y_12+y_0 \qquad (6\cdot2)$$

但し，x_i, y_i, は 0 又は 1，$i=0$, 1，……，n

而して，

$$Z_n=X_n+Y_n \qquad (6\cdot3)$$

とおけば

$$Z_n=(x_n+y_n)2^n+(x_{n-1}+y_{n-1})2^{n-}+\cdots\cdots+(x_1+y_1)2+(x_0+y_0) \qquad (6\cdot4)$$

Z_n を 2 の羃に展開すれば，

2^0 の係数	$x_0+y_0=z_0'2+z_0\leqq2$
2^1 の係数	$x_1+y_1+z_0'=z_0'2+z_1\leqq3$
2^2 の係数	$x_2+y_2+z_1'=z_2'2+z_2\leqq3$
⋮	
2^{n-1} の係数	$x_{n-1}+y_{n-1}+z_n'_{-2}=z_{n-1}'2+z_{n-1}\leqq3$
2^n の係数	$x_n+y_n+z_{n-1}'=z_n'2+z_n\leqq3$ (第 6・1 表)

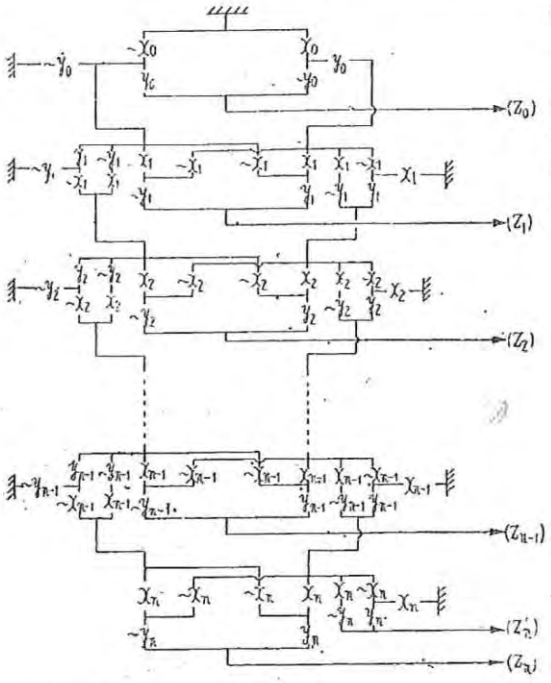
(第 6・1 表) により

$$Z=z_n'2^{n+1}+z_n2^n+z_{n-1}2^{n-1}+\cdots+y_12+z_0 \qquad (6\cdot5)$$

よつて，(第 6・1 表) の諸式より (第 6・1 図) を得る。

§ 7. 結　　言

以上で，概略を述べたが，前述の如き表を見るだけで，回路図は直接書き下すことが出来るのである。こゝで示した繼電器 (転換接点 4 組，make 接点，break 接点各 1 個を有する) を用いると，純粋の意味での補助繼電器は，10 進法 10 桁の大きさで，10 進法→2 進法変換繼電器回路では 220 個，2 進法→10進法



第 6・1 図

変換継電器回路では 410 個内外で設計出来る。補助継電器の個数を，もつと減らせることは本理論により明瞭であるが，継電器の個数を減らすと，接点数は増えるので，実際的には，本論文に示した位が最も良いと思う。

擱筆するに当り，電力部長兼東大教授工学博士後藤以紀先生より種々御指導を賜つたことをこゝに深く感謝する次第である。

References

[1] Astola, J.T., Stanković, R.S., *Fundamentals of Switching Theory and Logic Design*, Springer, 2006. First Indian Reprint by Springer (India) 2008, ISBN 978-81-8128-804-2.

[2] Harrison, M. "On the number of classes of (n, k) switching networks", *J. Franklin Inst.*, Vol. 276, No. 4, October 1963, 313-327.

[3] Harrison, M. A., "On the classification of Boolean functions by the general linear and affine groups", *J. Soc. Appi. Math.*, Vol. 12, 1964, 285-299.

[4] Hurst, S.L., *The Logical Processing of Digital Signals*, Crane Russak and Edvard Arnold, Basel and Bristol, 1978.

[5] Karpovsky, M.G., *Finite Orthogonal Series in the Design of Digital Devices*, Wiley, New York, 1976, xii+251.

[6] Karpovsky, M.G., Stanković, R.S., Astola, J.T., *Spectral Logic and Its Applicaiton in the Design of Digital Devices*, Wiley, 2008.

[7] Krenz, R., Dubrova, E., Kuehlmann, A., "Circuit-based evaluation of the arithmetic transform of Boolean functions", *11th IEEE/ACM International Workshop on Logic & Synthesis*, New Orleans, Louisiana, USA, June 4-7, 2002, 321-327.

[8] Lechner, R. J., "Affine equivalence of switching functions", Ph.D. dissertation, Harvard University, Cambridge, Mass., January 1963. (Submitted to Bell Telephone Labs. as "Theory of switching," Harvard Computation Lab., Cambridge. Mass., Rept. BL-33.)

[9] Lechner, R. J., "A transform approach to logic design", *IEEE Trans. Computers*, Vol. C-19, No. 7, 1970, 627-640.

[10] Nechiporuk, E., "On the synthesis of networks using linear transformations of argument variables", *Doklady Akad. Nauk.*, Vol. 123, No. 4, 1958, 610-612, English translation in *Automation Express*, 1959, 12-13.

[11] Ninomiya, I., "A study of the structures of Boolean functions and its application to the synthesis of switching circuits", Ph.D. dissertation, Nagoya University, Nagoya, Japan, 1958, published in Memoirs of the Faculty of Engineering, Nagoya University, Vol. 13, No. 2, November 1961, (see also Review R63-24, *IEEE Trans. Electronic Computers*, Vol. EC-12, April 1963, 152).

[12] Nozaki, A., *Switching Theory*, Tokyo, Japan, Kyoritsu Shuppan, 1972, (in Japanese).

[13] Sasao, T., "Realization of minimum circuits with two-input conservative logic elements", *IEEE Trans. Computers*, Vol.27, No. 8, 1978, 749-752, doi:10.1109/TC.1978.1675183

[14] Sasao, T., *Switching Theory for Logic Synthesis*, Kluwer Academic Publishers, 1999.

[15] Sasao, T., *Memory-Based Logic Synthesis*, Springer, 2011.

[16] Sasao, T., Kinoshita, K., "Cascade realization of 3-input 3-output conservative logic", *IEEE Trans. Computers*, Vol. C-27, No. 3, 1978, 214-221.

[17] Sasao, T., Kinoshita, K., "Conservative logic elements and their applications: Logic elements without power sources" (in Japanese), *IECE Papers Tech. Group Electron. Comput.*, Japan, Nov. 1974, EC 74-40.

[18] Sasao, T., Kinoshita, K., "Universality of conservative logic elements (1)" (in Japanese), *IECE Papers Tech. Group Electron. Comput.*, Japan, Oct. 1974, EC 74-32.

[19] Sasao, T., Kinoshita, K., "Universality of conservative logic elements (2) - In the case of n-input n-output conservative logic elements" (in Japanese), *IECE Papers Tech. Group Electron. Comput.*, Japan, June 1975, EC 75-15.

[20] Sasao, T., Kinoshita, K., "Cascade realization of conservative logic circuits" (in Japanese), *IECE Papers Tech. Group Electron. Comput.*, Japan, Sept. 1975, EC 75-24.

[21] Sasao, T., Kinoshita, K., "Cascade realization of conservative logic circuits (2)" (in Japanese), *IECE Nat. Conv. Rec.*, Japan, 1073, Mar. 1976.

[22] Stanković, R.S., Fourier decision diagrams for optimization of decision diagrams representations of discrete functions, *Proc. Workshop on Post Binary-Ultra Large Scale Integration*, Santiago de Campostela, Spain, 1996, 8-12.

[23] Stanković, R.S., Astola, J.T., "Design of decision diagrams with increased functionality of nodes through group theory", *IEICE Trans. Fundamentals*, Vol. E86-A, No. 3, 2003, 693-703.

[24] Stanković, R.S., Astola, J.T., "Matrix-valued decision diagrams in representations of complex systems", *17th European Meeting on Cybernetics and Systems Research*, Vienna, Austria, April 13-16, 2004.

[25] Stanković, R.S., Astola, J.T., Moraga, C., "Fast Fourier transform on finite groups as a method for synthesis for regularity", *Multiple-Valued Logic and Soft Computing*, Vol. 23, No. 5-6, 2014, 463-483.

[26] Stanković, R.S., Moraga, C., Astola, J.T., "From Fourier expansions to arithmetic-Haar expressions on quaternion groups", *Applicable Algebra in Engineering, Communication and Computing*, Vol. AAECC 12, 2001, 227-253.

[27] Stanković, R.S., Moraga, C., Astola, J.T., *Applications of Fourier Analysis on Finite Non-Abelian Groups in Signal Processing and System Design*, Wiley/IEEE Press, 2005.

[28] Stanković, S., Stanković, R.S., Astola, J., Moraga, C., "Representation of convolution systems on finite groups by heterogeneous decision diagrams", *EUROCAST (2)*, 2011, 296-303.

[29] Stanković, R.S., Sasao, T., "A discussion on the history of research in arithmetic and Reed-Muller expressions", *IEEE Trans. on CAD*, Vol. 20, No. 9, 2001, 1177-1179.

Reprints from the Early Days of Information Sciences
Tampere International Center for Signal Processing
PO Box 553
33101 Tampere
Finland

Tamperen teknillinen yliopisto
PL 527
33101 Tampere

Tampere University of Technology
P.O. Box 527
FIN-33101 Tampere, Finland

ISBN 978-952-15-3453-9
ISSN 1456-2774